



## Informe Técnico

---

# **Evaluación de un algoritmo de detección sensible a la fase implementado con un procesador de señales digitales para aplicaciones en instrumentación de bajo ruido a baja frecuencia**

---

**Eduardo Hernández Romero**  
**Asur Guadarrama Santana**

**2 de marzo de 2026**

**Desarrollo Tecnológico**

**Financiamiento Interno**

# **Evaluación de un algoritmo de detección sensible a la fase implementado con un procesador de señales digitales para aplicaciones en instrumentación de bajo ruido a baja frecuencia**

Eduardo Hernández Romero, Asur Guadarrama Santana

Laboratorio de Física Aplicada y Bioingeniería, departamento de ICI, ICAT  
UNAM

## **Resumen**

En este trabajo se describe la implementación del algoritmo de un sistema de Detección Sensible a la Fase basada en la técnica de Demodulación Síncrona Conmutada, para aplicaciones en instrumentación de bajo ruido a baja frecuencia. El algoritmo se implementó en la plataforma del Procesador de Señales Digitales ADAU1701 de Analog Devices y la programación del algoritmo se realizó con el software libre SigmaStudio; el cual ofrece un tipo de programación gráfica con varias herramientas que facilitan la implementación de las funciones necesarias para realizar el procesamiento de señales analógicas en forma digital, provenientes de alguna etapa de sensado y acondicionamiento electrónico. El algoritmo se probó con una señal senoidal de baja frecuencia con el fin de obtener las formas de onda características de la etapa de Demodulación Síncrona Conmutada así como los voltajes de salida en fase y cuadratura correspondientes a la etapa de Detección Sensible a la Fase. La funcionalidad del algoritmo completo se evaluó con impedancias de prueba de circuitos RC en paralelo con su respectiva electrónica de acondicionamiento de entrada y salida del Procesador de Señales Digitales, formando así un sistema de medición de impedancias; con el cual se obtuvieron valores aproximados de los componentes del circuito RC en función de los voltajes de salida en fase y cuadratura con ecuaciones derivadas de un análisis de funciones de transferencia del sistema completo. Finalmente, con el sistema propuesto, se realizaron pruebas experimentales preliminares de caracterización eléctrica de un líquido volátil puro con sensores capacitivos coplanarios. Se monitorizaron en tiempo real las señales de voltaje de salida en fase y cuadratura resultantes del proceso de volatilización de la muestra bajo prueba. Las señales de voltaje de salida mostraron una buena relación señal a ruido dentro del rango dinámico de los convertidores digital analógico de salida del sistema propuesto.

## Índice

<b>Nomenclatura.....</b>	<b>3</b>
<b>Introducción.....</b>	<b>4</b>
<b>1. Principio básico de operación del Detector Sensible a la Fase.....</b>	<b>5</b>
1.1 Esquema general del sistema de prueba propuesto.....	7
<b>2. Materiales y componentes del sistema de prueba del DSF.....</b>	<b>8</b>
2.1 Implementación del sistema de prueba del DSF propuesto.....	10
2.2 Programación de la etapa de DSF basada en DMSC.....	11
2.3 Ajustes y prueba inicial del algoritmo de la etapa de DSF.....	14
2.4 Evaluación del algoritmo de la etapa de DSF con impedancia de prueba conocida.....	17
2.4.1 Método de compensación y ajustes del sistema de prueba propuesto.....	20
2.4.2 Evaluación del sistema con circuitos $R_xC_x$ de prueba.....	21
2.4.3 Pruebas experimentales del sistema con sensores capacitivos coplanarios.....	23
<b>3. Discusión de resultados obtenidos.....</b>	<b>26</b>
<b>Referencias Bibliográficas.....</b>	<b>27</b>
<b>ANEXO 1</b>	
<b>Características Técnicas del ADAU1701.....</b>	<b>29</b>
<b>ANEXO 2</b>	
<b>Módulos del sistema del PSD.....</b>	<b>31</b>

## Nomenclatura

CAD	Convertidor Analógico Digital
CDA	Convertidor Digital Analógico
cd	corriente directa
DMSC	Demodulación Síncrona Conmutada
DSF	Detección Sensible a la Fase
E/S	Entrada/Salida
FPB	Filtro Paso Bajas
G1, G2	Ganancias programables
GD	Ganancia del demodulador
MBP	Muestra Bajo Prueba
P1, P2	posiciones del conmutador emulado
PGM	Programación Gráfica Modular
PSD	Procesador de Señales Digital
RC	Resistencia Capacitancia
RCA	conector de audio (Radio Corporation of America)
S/R	Relación señal a ruido
USB	Universal Serial Bus
$V_c$	Voltaje de salida en cuadratura
$V_f$	Voltaje de salida en fase
$V_d(t)$	señal de voltaje de salida del DSF
$V_m(t)$	señal de voltaje de salida del DMSC
$V_r(t)$	señal de voltaje de referencia del DMSC
$V_s(t)$	señal senoidal temporal

## Introducción

El desarrollo de la instrumentación de bajo ruido con sensores eléctricos y su aplicación en la caracterización de procesos físico-químicos y biológicos es una de las líneas de investigación de interés para el Laboratorio de Física de Sensores del ICAT UNAM. Se han utilizado los sensores y/o transductores de reactancia capacitiva variable para detectar señales de alguna variable o proceso físico-químico de interés con componente en baja frecuencia, cuando estas señales son muy pequeñas el ruido presente puede enmascararlas, degradando la relación señal a ruido y afectando por ello la detección a tal grado incluso de perderse la información, por lo que es necesario el uso de instrumentación electrónica especializada. Por ejemplo, para mejorar la relación señal a ruido de señales eléctricas provenientes de perturbaciones de un campo eléctrico, se utiliza la técnica de modulación y demodulación síncrona en un ancho de banda estrecho por medio de una etapa de filtrado paso bajas de salida, que en conjunto forman una etapa de Detección Sensible a la Fase (DSF), (Pallás, 2001; Lancaster, 1991; Guangyu, 2010). Por lo general la técnica utilizada para la detección bajo las condiciones descritas anteriormente es la modulación de señales, en donde la señal eléctrica detectada en un ancho de banda determinado del espectro electromagnético, se traslada de una frecuencia menor a otra de mayor frecuencia en donde el ruido característico ( $1/f$ ) no afecte significativamente a la señal de interés. Cuando utilizamos una señal alterna periódica a cierta frecuencia como señal de excitación en un elemento sensor, su respuesta a una variable física temporal en estudio debe ser más lenta que la velocidad angular de la señal de excitación para que se pueda aplicar la modulación directamente, como se utiliza principalmente en las comunicaciones eléctricas (Lathi, 1983). Desde la perspectiva de la instrumentación, la señal de excitación se comportaría como la portadora y la señal de respuesta del sensor a una variable física determinada sería la moduladora, de esta forma la señal de salida del sensor sería la portadora modulada. Por supuesto, para recuperar la información (moduladora) en función de la variable física de interés se tiene que realizar una demodulación de la señal temporal eléctrica (Pallás, 2001; Doebelin, 1990; Oppenheim, 1997).

El equipo de laboratorio comercial para realizar mediciones de bajo ruido, conocido como Amplificador Lock-in, suele ser voluminoso lo que lo hace difícil de transportar para realizar mediciones in situ; y su elevado costo, lo hace difícil de adquirir además de que para una aplicación determinada pudiera ser que no se requiera de toda su capacidad lo que resultaría que no se justifique el costo del equipo para una aplicación en específico.

En este trabajo se describe la implementación del algoritmo de un sistema de Detección Sensible a la Fase basada en la técnica de Demodulación Síncrona Conmutada, para aplicaciones en instrumentación de bajo ruido a baja frecuencia. El algoritmo se implementó en la plataforma del Procesador de Señales Digitales ADAU1701 de Analog Devices y la programación del algoritmo se realizó con el software libre SigmaStudio 4.4. Este ofrece un tipo de programación gráfica con varias herramientas que facilitan la implementación de las funciones necesarias para realizar el procesamiento de señales analógicas en forma digital, provenientes de alguna etapa de sensado y acondicionamiento electrónico. El algoritmo se probó con una señal senoidal de baja frecuencia con el fin de obtener las formas de onda características de la etapa de Demodulación Síncrona Conmutada así como los voltajes de salida en fase y cuadratura correspondientes a la etapa de Detección Sensible a la Fase. La funcionalidad del algoritmo completo se evaluó con impedancias de prueba con circuitos RC en paralelo con su respectiva electrónica de acondicionamiento de entrada y salida del Procesador de Señales Digitales, formando así un sistema de medición de impedancias; con el cual se obtuvieron valores aproximados de los componentes del circuito RC en función de los voltajes de salida en fase y cuadratura con ecuaciones derivadas de un análisis de funciones de transferencia del sistema completo. Finalmente, con el sistema propuesto, se realizaron pruebas experimentales preliminares de caracterización eléctrica de un líquido volátil puro con sensores capacitivos coplanarios. Se monitorizaron en tiempo real las señales de voltaje de salida en fase y cuadratura resultantes del proceso de volatilización de la muestra bajo prueba. Las señales de voltaje de salida mostraron una buena relación señal a ruido dentro del rango dinámico de los convertidores digital analógico de salida del sistema propuesto. Las pruebas realizadas sirvieron para evaluar la funcionalidad del algoritmo programado en el Procesador de Señales Digitales y comprobar la viabilidad de implementarlo en un sistema de medición de baja frecuencia y bajo ruido, en este caso con sensores capacitivos para caracterización eléctrica del proceso de volatilización de líquidos volátiles.

## **1. Principio básico de operación del Detector Sensible a la Fase**

La etapa de DSF se basa en la técnica de demodulación síncrona conmutada (DMSC). El principio básico de un demodulador síncrono se puede explicar con el esquema simplificado de la figura 1, en donde se muestra una señal senoidal de entrada  $V_s(t)$  que llega simultáneamente a dos etapas de ganancia de +1 y -1. Estas se seleccionan por medio de la posición (a) o (b) de un conmutador, en función de una señal de control de conmutación  $V_r(t)$  con frecuencia y fase iguales a la señal de entrada. En este caso se obtiene una señal rectificadora  $V_m(t)$ , resultado de la

función de un demodulador síncrono. Cuando esta señal pasa por una etapa de filtrado paso bajas (FPB) se obtiene una señal de voltaje de salida  $V_d(t)$  de corriente directa (cd) en fase, como se muestra en la figura 1.

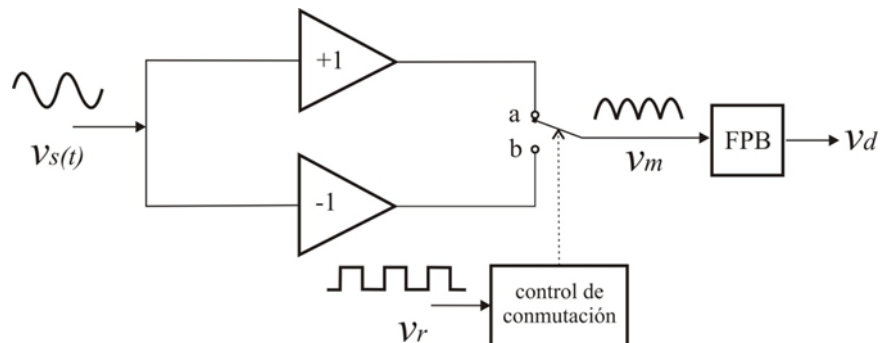


Figura 1. Esquema simplificado de una etapa de Detección Sensible a la Fase en función de un demodulador síncrono conmutado cuando la señal de conmutación  $V_r(t)$  tiene la misma frecuencia y fase de la señal de entrada  $V_s(t)$ , (elaboración propia).

El esquema de la figura 1 representa un demodulador síncrono conmutado antes de que la señal  $V_m(t)$  pase por la etapa del filtro paso bajas (FPB), con el FPB se conforma una etapa de DSF. Cuando la señal de referencia de control de conmutación  $V_r(t)$  está desfasada  $90^\circ$  con respecto de la señal de entrada  $V_s(t)$  se obtiene una señal de voltaje de salida  $V_d(t)$  de cd en cuadratura. En la figura 2 se muestran las señales de entrada, referencia y salida, en fase y en cuadratura, del demodulador síncrono.

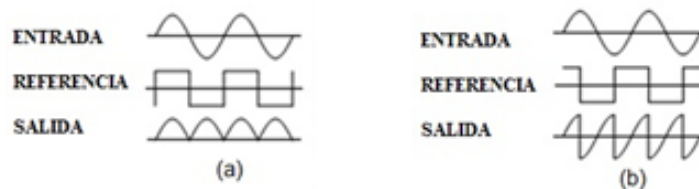


Figura 2. Señales de entrada  $V_s(t)$ , referencia  $V_r(t)$  y salida  $V_m(t)$  del demodulador síncrono, a) en fase y b) en cuadratura, (elaboración propia).

En la práctica, la obtención de las señales de salida, figura 2, se utilizan como referencia para comprobar el buen funcionamiento del DMSC. Las señales en fase y en cuadratura son de interés para obtener las componentes real e imaginaria de una señal alterna modulada. Para propósitos de este trabajo se propuso implementar la etapa de DSF conformada por dos etapas de DMSC en paralelo con la misma señal de entrada con el fin de obtener las componentes de voltaje de cd en fase y en cuadratura, en función de las correspondientes señales demoduladas, en tiempo real.

### 1.1 Esquema general del sistema de prueba propuesto

El sistema de prueba propuesto se conformó principalmente por las etapas de sensado, detección sensible a la fase (DSF) y salida de señales de voltaje en fase y cuadratura, como se muestra en el diagrama de bloques general de la figura 3.

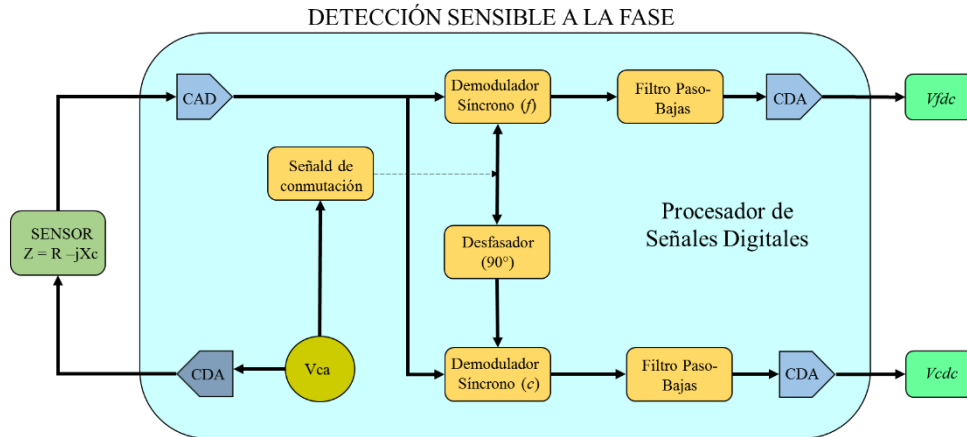


Figura 3. Esquema general del sistema propuesto conformado por la etapa de sensado en donde se coloca la muestra bajo prueba, la etapa de detección sensible a la fase (bloques en naranja) y la salida de dos señales de voltaje de corriente directa, uno en fase  $V_{fdc}$  y otro en cuadratura  $V_{cdc}$ , que están en función de la parte real y la parte imaginaria de la impedancia de la MBP, (elaboración propia).

Se puede apreciar que la señal portadora se genera en la etapa de DSF y que también se utiliza como señal de sincronía de conmutación para la etapa de demodulación síncrona y como señal de excitación en la etapa de sensado capacitivo con la muestra bajo prueba (MBP). La señal eléctrica modulada, obtenida en función de la MBP y del sensor, entra a la etapa de DSF; la señal modulada entra simultáneamente a dos etapas de demodulación síncrona conmutada (DMSC) desfasadas  $90^\circ$  entre sí, para obtener las componentes en fase y cuadratura. Las señales de salida de estas etapas, figura 2, se utilizaron para verificar el funcionamiento correcto de las etapas de DMSC, sin el sensor y sin una MBP. Cada una de las señales, en fase y en cuadratura, entra a una etapa de filtrado paso bajas (FPB) en donde se filtran las frecuencias altas y únicamente se obtienen dos señales de voltaje directo de salida, proporcionales a la variación de la amplitud de la señal eléctrica cuando proviene de un sensor con una MBP. Cada uno de los dos canales del sistema entrega una señal de voltaje de cd, que se puede utilizar para calcular la magnitud y la fase de la señal eléctrica sensada (Yang, 2010). El Procesador de Señales Digitales (PSD) se encarga de generar la señal de excitación y las señales en fase y en cuadratura a una

frecuencia adecuada para obtener datos confiables en función de la señal sensada. El procesamiento de datos en tiempo real es de suma importancia para realizar la detección del desfase de las señales de salida, así como la resolución del CAD y del CDA, es otro factor a considerar para efectuar la digitalización de las señales de entrada y obtener las señales de voltaje de salida de forma correcta; motivo por el cual es necesario realizar el procesamiento de las señales en tiempo real de la etapa de DSF con ayuda del PSD.

## **2. Materiales y componentes del sistema de prueba del DSF**

Básicamente un PSD consiste en las etapas de filtrado analógico, de CAD, del procesamiento de la señal digital, de CDA y de filtrado de reconstrucción de salida. La señal analógica de entrada, la cual es continua en tiempo y en amplitud, generalmente es función de una variable física como la corriente eléctrica, la humedad, la temperatura, la presión, la intensidad de luz, etc. Usualmente se utiliza un transductor (sensor) para convertir la variable física a una señal eléctrica analógica como el voltaje. Esta señal pasa por una etapa de filtrado analógico, que se aplica para limitar el rango de frecuencias de las señales analógicas antes del proceso de muestreo. El propósito del filtrado es atenuar significativamente la distorsión por aliasing. La señal con un ancho de banda limitado a la salida del filtro analógico se muestrea y se convierte en una señal digital por el CAD, la cual se encuentra discretizada en tiempo y en amplitud. El PSD acepta la señal digital y procesa los datos digitales de acuerdo con las reglas del PSD como el filtrado digital paso bajas, paso altas y paso banda, o cualquier otro algoritmo para diferentes aplicaciones. Notar que la unidad PSD es un tipo de computadora digital y puede ser una computadora de propósito general, un microprocesador, o un microcontrolador avanzado; además, las reglas del PDS se pueden implementar utilizando un software en general. Con el PSD y el software correspondiente, se genera una señal de salida procesada digitalmente (Tan y Jiang, 2013).

El sistema de prueba del DSF propuesto se implementó con un Procesador Digital de Señales ADAU1701 de la marca Analog Devices, cuyo diagrama funcional se muestra en la figura 4 y figura A1 del ANEXO 1. El PSD es un sistema electrónico embebido y cuenta con las interfaces necesarias para la comunicación, programación y transmisión de datos (Analog.com, 2023); dichas interfaces ofrecen la posibilidad de comunicación con una PC mediante USB y Bluetooth. Otra razón para la elección de estas tarjetas es su bajo costo, de aproximadamente 40 USD, lo cual es una opción viable para su adquisición y uso en actividades prácticas para algunos laboratorios a nivel licenciatura y maestría de Ingeniería Eléctrica.

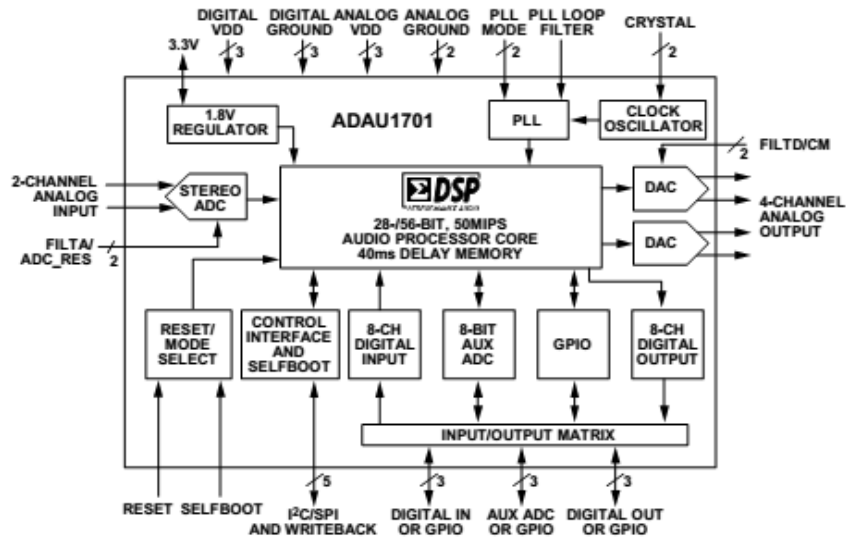


Figura 4. Diagrama de bloque funcional del PSD ADAU1701, (Analog Devices).

Las tarjetas electrónicas seleccionadas son una opción viable para hacer medición en bajo ruido, que si bien están pensadas para trabajar en aplicaciones de audio también pueden ser empleadas para fines de este proyecto de instrumentación electrónica, dado que el corazón del sistema embebido en la tarjeta es un PSD. El fabricante especifica que puede utilizarse en aplicaciones generales, principalmente automotrices, aeroespaciales y obviamente de audio. Las funciones de generación, adquisición y filtrado para señales audio se utilizaron para la implementación del algoritmo de la etapa de DSF. En la figura 5 se muestran el PSD con sus interfaces modulares de programación, entradas, salidas (ANEXO 2) y pantalla con ventanas de señales generadas con el software de programación gráfica SigmaStudio 4.4, del sistema propuesto.

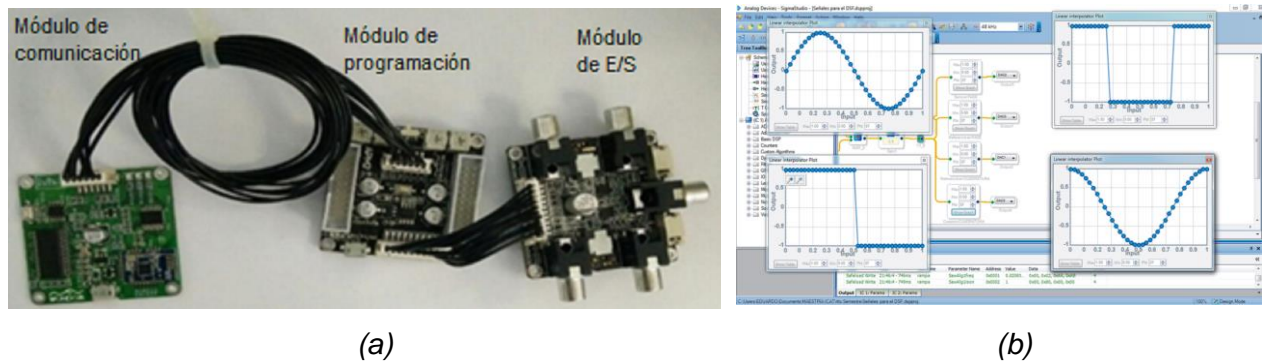


Figura 5. Componentes para el uso del PSD. (a) Interfaces electrónicas de comunicación, programación, entradas y salidas (b) Ventanas de señales generadas con el software de programación gráfica SigmaStudio, (elaboración propia).

En la figura 5(a) se muestran las interfaces de comunicación, de programación con la tarjeta del PSD y por último la placa con conectores RCA de entrada y salida que facilita la adquisición y generación de señales eléctricas analógicas; mientras que en la figura 5(b) se pueden apreciar ejemplos de ventanas con señales generadas con el software de programación y supervisión SigmaStudio (www.analog.com, 2023). La programación de los algoritmos utilizados se realizaron con el software libre de SigmaStudio, el cual se basa en una Programación Gráfica Modular (PGM); similar a Simulink de MATLAB, con base en funciones preprogramadas que permitieron la implementación del algoritmo de procesamiento de señales digitales de la etapa de detección sensible a la fase de forma funcional. En internet se pueden encontrar foros sobre guías de programación y aplicaciones con los módulos mencionados en la figura 5, (https://www.youtube.com/watch?v=AqLGvHuUfM, 2025).

## 2.1 Implementación del sistema de prueba del DSF propuesto

El esquema completo del sistema de prueba del DSF propuesto e implementado con un PSD se muestra en la figura 6. La señal de la etapa de sensado, representada con una impedancia de la MBP, pasa por la electrónica de acondicionamiento electrónico antes de entrar a la etapa de DSF en donde se realiza el procesamiento digital de la señal analógica sensada.

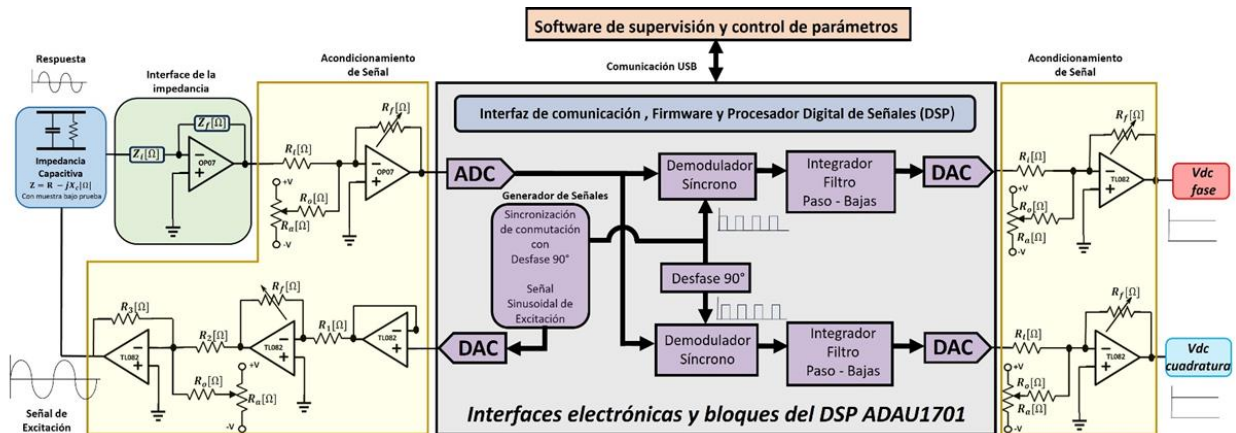
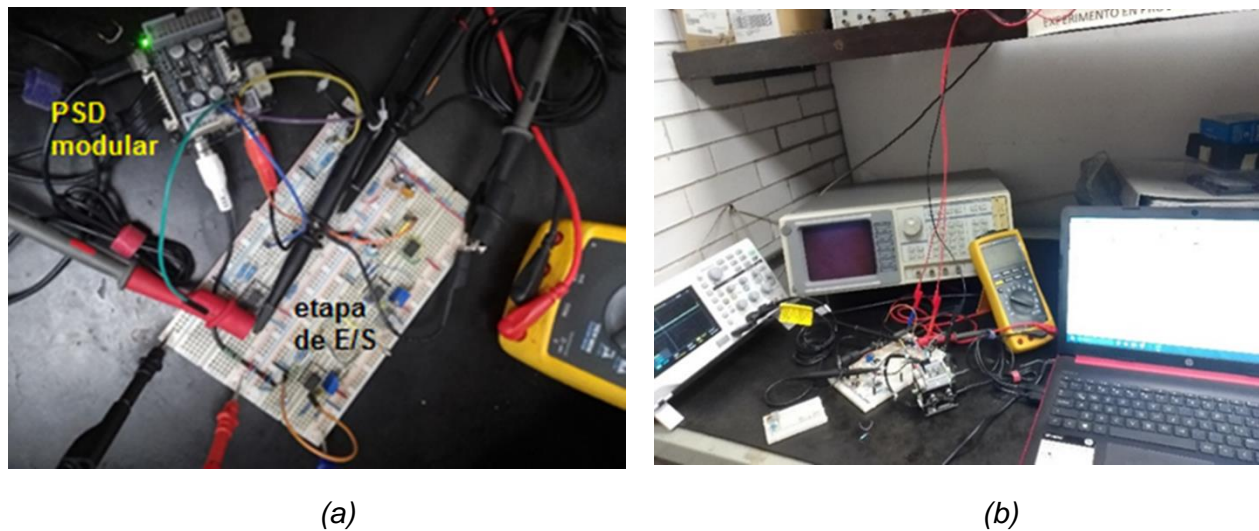


Figura 6. Diagrama general de bloques del sistema de prueba del DSF propuesto, para la medición de bajo ruido con sensores capacitivos, (elaboración propia).

En esta etapa se efectúan las funciones de generación de la señal de excitación de la MBP, la demodulación síncrona de dos canales, el filtrado paso bajo de salida para cada uno y la conversión digital analógica de las señales de voltaje de salida pasando por la electrónica de acondicionamiento de salida. Por medio del software libre, SigmaStudio, se realizó la programación del algoritmo para la etapa de Detección Sensible a la Fase (DSF) del sistema de

medición propuesto; así como la configuración de parámetros de las funciones que necesitó dicho algoritmo para el procesamiento digital de las diferentes señales; es decir, generar la señal de excitación (portadora), leer la señal de respuesta (modulada), realizar compensación de amplitud, fase y sintonizar las señales de sincronización de la etapa de demodulación.

El sensor capacitivo con la muestra bajo prueba se representó como una impedancia resistiva-capacitiva en paralelo y se conectó mediante una etapa de acondicionamiento electrónico. Así mismo, los voltajes resultantes de las etapas de demodulación y filtrado tuvieron su propia etapa de acondicionamiento de salida, con el objetivo de convertir los datos digitales, procesados con el software del PSD, en señales eléctricas de voltaje proporcionales a la señal de sensado. Los módulos de programación del PSD, de comunicación y de entradas y salidas se interconectan de acuerdo al diagrama de la figura 4 y la figura 5(a) con las etapas de acondicionamiento electrónico, como se muestra en el diagrama de bloques general de la figura 6. El arreglo experimental del sistema propuesto se muestra en la figura 7.



*Figura 7. Prototipo del sistema de prueba propuesto, a) Módulos del PSD interconectados con la electrónica de acondicionamiento y b) Prototipo conectado a una PC para realizar la programación de algoritmo del DSF y con equipo de instrumentación para la monitorización y ajustes de señales, (elaboración propia).*

## **2.2 Programación de la etapa de DSF basada en DMSC**

La etapa de DSF consta de un demodulador síncrono para cada una de las componentes de voltaje de salida, con un desfase de  $\theta = 90^\circ$  en la señal de referencia de conmutación con respecto a la componente en fase para la componente en cuadratura. Para obtener las dos

señales en tiempo real se implementaron dos algoritmos de DMSC con SigmaStudio. El algoritmo que se muestra en la figura 8, corresponde DMSC en fase. Posteriormente se implementó el que corresponde al DMSC en cuadratura para conformar el algoritmo de la etapa de DSF de 2 canales en un bloque.

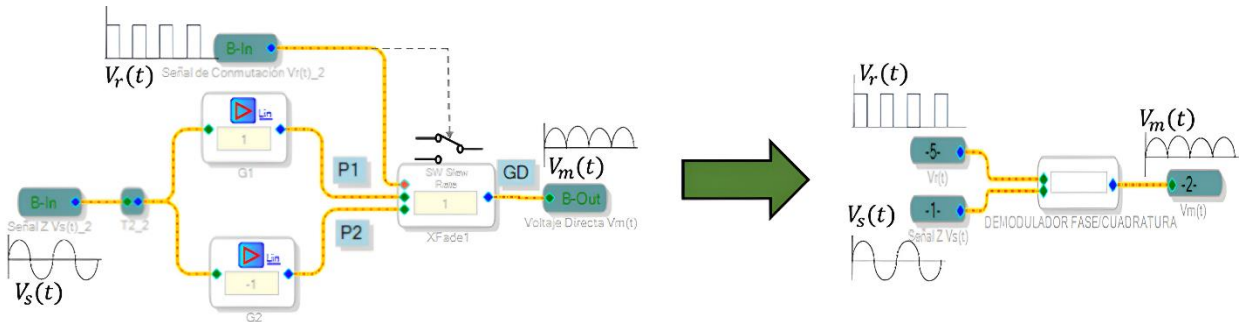


Figura 8. Algoritmo del demodulador síncrono en fase y su integración como bloque, (elaboración propia).

En el algoritmo del DSF de la figura 8, el demodulador síncrono se compone de dos bloques de ganancia programable  $G1$  y  $G2$ , el bloque  $XFade1$  realiza la conmutación en función de la señal de sincronía  $V_r(t)$  y la salida  $V_m(t)$  del demodulador se obtiene por el principio de superposición en función de las ganancias. Cuando el bloque  $XFade1$  se encuentra en la “posición”  $P1$ , la ganancia del demodulador ( $GD$ ) es  $(1)$ ; mientras que en la “posición”  $P2$  la ganancia del demodulador ( $GD$ ) es  $(-1)$ , estas se multiplican directamente con la señal de entrada  $V_s(t)$ . La condición para que se realice la demodulación síncrona en fase, es que la frecuencia y la fase del voltaje de entrada  $V_s(t)$  sean las mismas que las de la señal  $V_r(t)$ . Con estas condiciones se obtiene la señal de voltaje de salida en fase  $V_m(t)$  del conmutador  $XFade1$ , como se muestra en la figura 8.

Una vez implementado y probado el algoritmo del demodulador síncrono, el siguiente paso fue conectar los bloques restantes de la etapa de DSF de dos canales, tal como se ilustra en la figura 6. Los bloques restantes son: los filtros paso baja de salida que complementan a los demoduladores síncronos en fase y cuadratura, las etapas de generación de las diferentes señales, el CAD (ADC por sus siglas en inglés) y el CDA (DAC por sus siglas en inglés). La interconexión de todos los bloques del sistema de prueba se observa en la figura 9. La programación gráfica del algoritmo de la etapa de DSF del esquema del sistema de prueba propuesto en la figura 6 se implementó con SigmaStudio. Este tipo de programación facilita la implementación de algoritmos para realizar el procesamiento de señales con el PSD de la familia ADAU17XX, esta fue una de las razones de elegir esta plataforma de desarrollo electrónico digital.

Los bloques de la sección indicada en “1” son un generador de onda senoidal cuyos parámetros de amplitud, frecuencia y fase, se pueden variar de forma directa en este bloque; para este caso, se ajustaron los parámetros a una frecuencia  $f = 1 \text{ kHz}$  con  $\theta = 0^\circ$  y amplitud máxima; el siguiente es un bloque de ganancia  $G3$  que ajusta la amplitud de la señal de salida a  $2V_{pp}$  y el último bloque, es el del CDA ( $DAC3$ ), por lo que en conjunto se genera la señal de excitación para la impedancia bajo prueba.

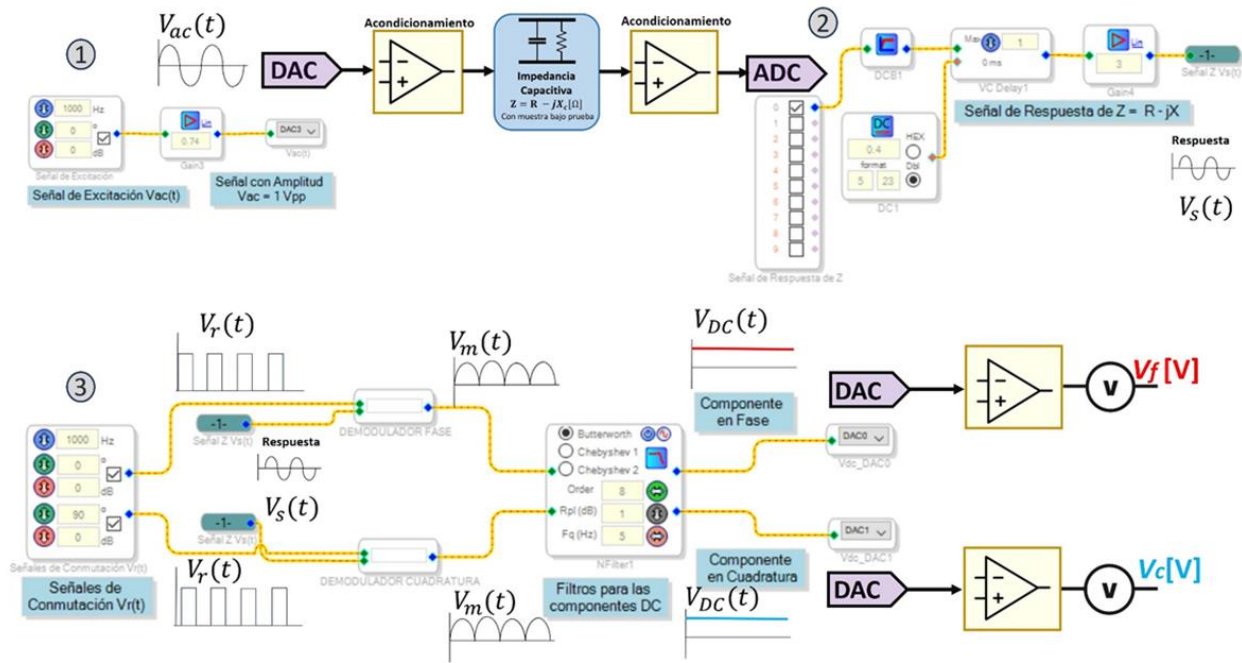


Figura 9. Bloques de E/S y señales del algoritmo de la etapa de Detección Sensible a la Fase de dos canales, (elaboración propia).

En la sección indicada como “2”, se muestra el bloque que habilita el CAD ( $ADC0$ ) y bloques destinados a una corrección en fase ( $DCB1$ ,  $DC1$ ,  $VC Delay1$ ) y amplitud ( $Gain4$ ) de la señal de entrada provocada por un circuito RC de entrada incorporada en la propia interfaz del PSD; puesto que, al ser enfocada en aplicaciones de audio, las señales deberán estar desacopladas en cd; por lo tanto, este circuito de desacoplo le agrega un desfaseamiento y una atenuación extra a la señal de respuesta de la impedancia de entrada, las cuales deben compensarse.

La sección “3” contiene el núcleo de la etapa de DSF que es, un bloque que genera dos señales cuadradas (*Señales de Conmutación  $V_r(t)$* ), una con la misma frecuencia de excitación  $V_{ac}(t)$  y otra con el desfaseamiento requerido de  $\theta = 90^\circ$  entre ambas señales. Tanto el bloque de la señal

de excitación, como el de las señales cuadradas, tienen un principio similar a un SDD (Sintetizador Digital Directo); es decir, con una señal de reloj de sincronización se realiza una búsqueda en una tabla que contiene los valores de una señal determinada. Dicha señal de reloj es la frecuencia de operación del sistema y se establece en el software de SigmaStudio, dicha frecuencia base es de 48 kHz, con esto garantizamos que las señales de la etapa de DSF estén sincronizadas. Los siguientes bloques de la sección “3” son: los demoduladores síncronos conmutados (*DEMODULADOR FASE* y *DEMODULADOR CUADRATURA*) y el bloque de dos filtros pasa bajas (*NFilter1*), del tipo Butterworth digital de octavo orden con un ancho de banda de corte de 5 Hz y 0 db de ganancia, para obtener sus componentes de cd provenientes de las señales de salida de los demoduladores en fase y cuadratura. El PSD ADAU1701 al ser un sistema enfocado en audio, cuenta con bloques de filtrado cuyo uso resulta muy intuitivo. Esto permite realizar la configuración de los parámetros y herramientas necesarios para el diseño de estos bloques en el sistema y la comparación de la respuesta funcional con diferentes tipos de filtro. Finalmente, los bloques que habilitan los CDAs (*Vdc DAC0* y *Vdc DAC1*) del PSD están conectados a una etapa de acondicionamiento electrónico que permite la medición de las señales de voltaje analógico de cd resultantes ( $V_f$  y  $V_c$ ) con un multímetro en la salida de cada FPB, dentro del rango dinámico de los CADs.

### **2.3 Ajustes y prueba inicial del algoritmo de la etapa de DSF**

Ajustes iniciales.

1.- Se ajustó la amplitud de la señal senoidal de excitación  $V_s(t)$  a  $2 V_{pp}$  sin offset centrada en cero voltios con los amplificadores operacionales (AOs) TL082 de la etapa de acondicionamiento electrónico, figura 6.

2.- La señal senoidal  $V_s(t)$  se ingresa directamente a la entrada de los AOs OP07 y se ajustan sus parámetros de offset y ganancia para que estos coincidan en amplitud y fase con la señal senoidal generada en el PSD.

Con los ajustes iniciales se garantizó que el acondicionamiento de las señales generadas y adquiridas por el PSD fuera adecuado, para que el conjunto de hardware y software del sistema de prueba propuesto funcionara de forma correcta; esto último se comprobó visualizando las señales en cada salida de las etapas de acondicionamiento de los CDAs. Cuando las señales de conmutación tienen la misma frecuencia, amplitud que  $V_s(t)$  están en fase y están en cuadratura cuando hay un desfase de  $90^\circ$  entre estas, entonces las salidas del sistema muestran las

formas de onda de las figuras 2(a) y 2(b) correspondientes para cada salida de los demoduladores síncronos en fase y en cuadratura. De esta forma se asegura que el algoritmo de la etapa de DSF realiza su función; el arreglo experimental utilizado para realizar dichas pruebas se puede apreciar en la Figura 10.

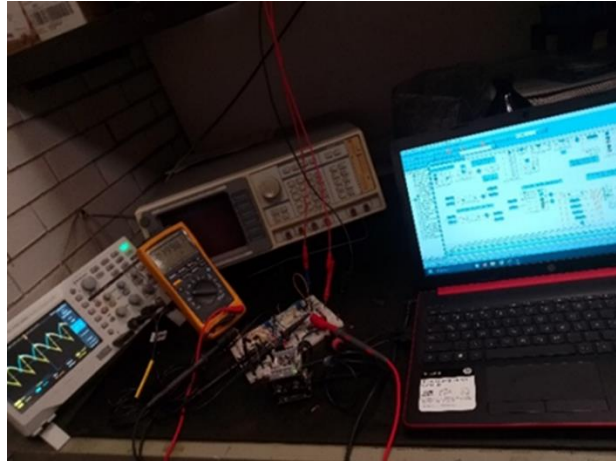


Figura 10. Arreglo experimental para ajustes y pruebas de la etapa de DSF implementada en el PSD ADAU1701, (elaboración propia).

En la figura 11, se muestran las formas de onda resultantes de los demoduladores síncronos y de los filtros, obtenidos con el algoritmo de Detección Sensible a la Fase propuesto.

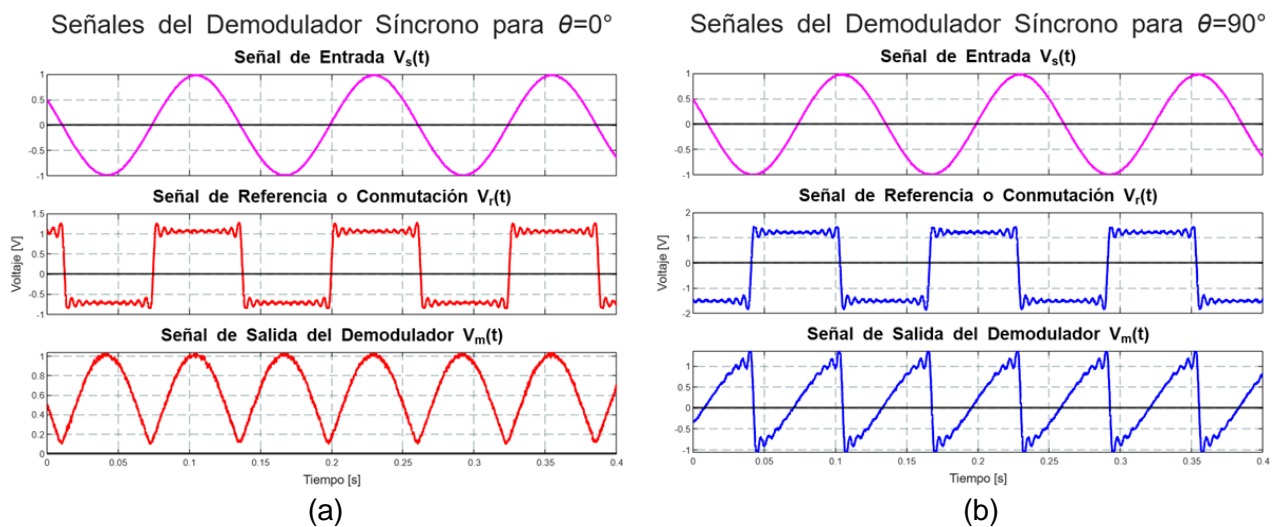


Figura 11. Señales de entrada  $V_s(t)$ , referencia  $V_r(t)$  y salida  $V_m(t)$  de los demoduladores síncronos conmutados, a) en fase y b) en cuadratura, (elaboración propia).

El desfase en la señal de respuesta se obtuvo ajustando el parámetro de fase en  $90^\circ$ , en el bloque de la señal de excitación; el desfase se midió entre la señal de excitación con la señal de respuesta, con un OSCILOSCOPIO TEKTRONIX TBS 1000, con el fin de obtener el error con respecto al desfase teórico. El error relativo promedio obtenido para los ángulos mencionados fue de aproximadamente el 2%. También, dentro del bloque de la señal de excitación, se ajustó la amplitud de la señal, de esta forma se ajustaron los parámetros importantes del algoritmo de DSF.

Las señales obtenidas, mostradas en la Figura 11, corresponden al comportamiento de un demodulador síncrono sin y con desfase,  $0^\circ$  y  $90^\circ$ , de la señal de conmutación  $V_r(t)$  con respecto de la señal de entrada  $V_s(t)$ . La amplitud de la señal de entrada es de  $2V_{pp}$  para ambos demoduladores, mientras que para la señal de salida  $V_m(t)$  tiene un valor de  $1V_p$  para el demodulador en fase y para el demodulador en cuadratura tiene una amplitud de  $2V_{pp}$ . La señal de salida en fase presenta un comportamiento como se aprecia en la figura 11(a), mientras que la señal de salida en cuadratura corresponde a la que se muestra en la figura 11(b). Las señales obtenidas para cada caso mostraron que el algoritmo de la etapa de DMSC funcionó según la teoría de Modulación y Demodulación Síncrona, como se muestra en la figura 2.

El siguiente paso fue agregar el filtro paso-bajas a cada salida de los demoduladores, con el objetivo de extraer una señal de cd proporcional a la amplitud de la señal de entrada; o en otras palabras, realizar un promedio a la señal  $V_m(t)$ . Como se conoce la forma de onda y la amplitud de la señal de salida en cada demodulador entonces también se pueden conocer los voltajes de cd teóricos esperados en cada una de las etapas de la salida de los filtros.

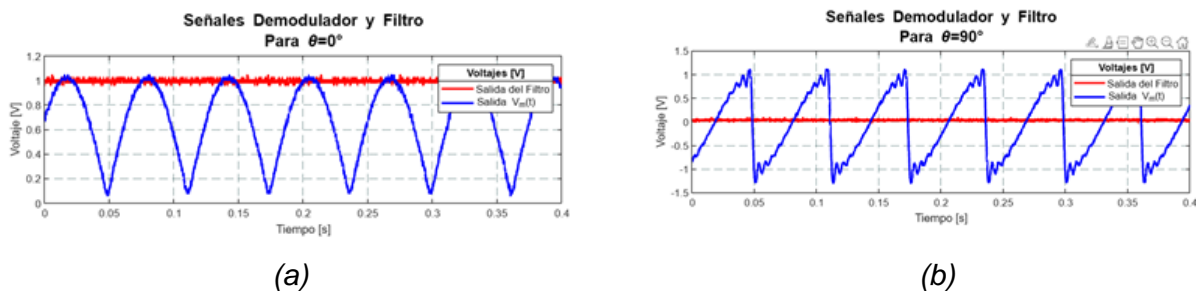


Figura 12. Señales de entrada (azul) y salida (rojo) de los filtros para los canales del DSF, a) en fase y b) en cuadratura, (elaboración propia).

En la Figura 12 se muestran las señales de entrada y salida en cada filtro que corresponden a las componentes de voltaje de salida de cd en fase  $V_f$  y en cuadratura  $V_c$  de la etapa de DSF. Los

voltajes de salida de cd para cada canal del DSF corresponden a  $V_f = 1$  V en fase y  $V_c = 0$  V en cuadratura, los cuales son medibles con un multímetro y corroboran que el algoritmo de la etapa de DSF realiza la función propuesta.

## 2.4 Evaluación del algoritmo de la etapa de DSF con impedancia de prueba conocida

El funcionamiento del algoritmo de Detección Sensible a la Fase del sistema de medición propuesto se evaluó con el cálculo de impedancias de prueba, formadas con circuitos RC en paralelo y de valor conocido, en función de los voltajes  $V_f$  y  $V_c$  de salida del sistema propuesto. El primer paso fue realizar un análisis de impedancias con funciones de transferencia de cada etapa del sistema propuesto con el fin de obtener las ecuaciones que permitieron calcular las componentes resistiva, reactiva y capacitiva de un circuito de prueba RC en paralelo en función de los voltajes de salida de los canales en fase  $V_f$  y en cuadratura  $V_c$  del DSF (Guadarrama et al., 2021). El segundo paso fue aplicar un método de ajuste de amplitud y compensación de fase en el sistema propuesto.

En la figura 13 se muestra un esquema del diagrama de bloques simplificado, con los principales elementos que integran el sistema de prueba propuesto, el cual se utilizó para realizar el análisis de impedancias.

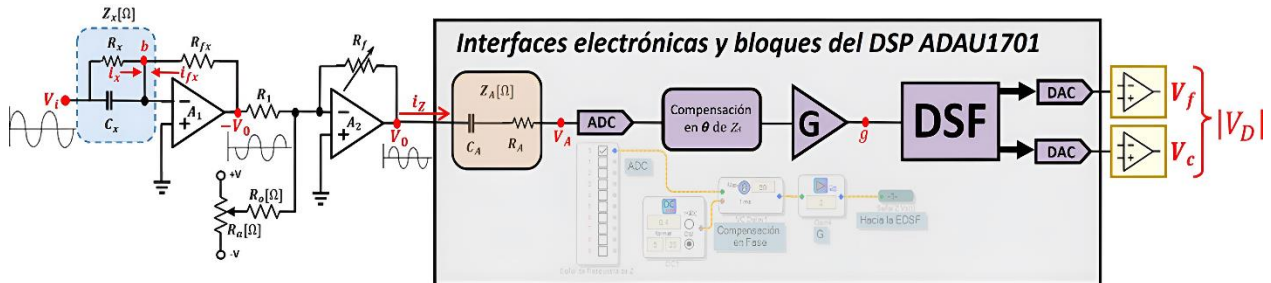
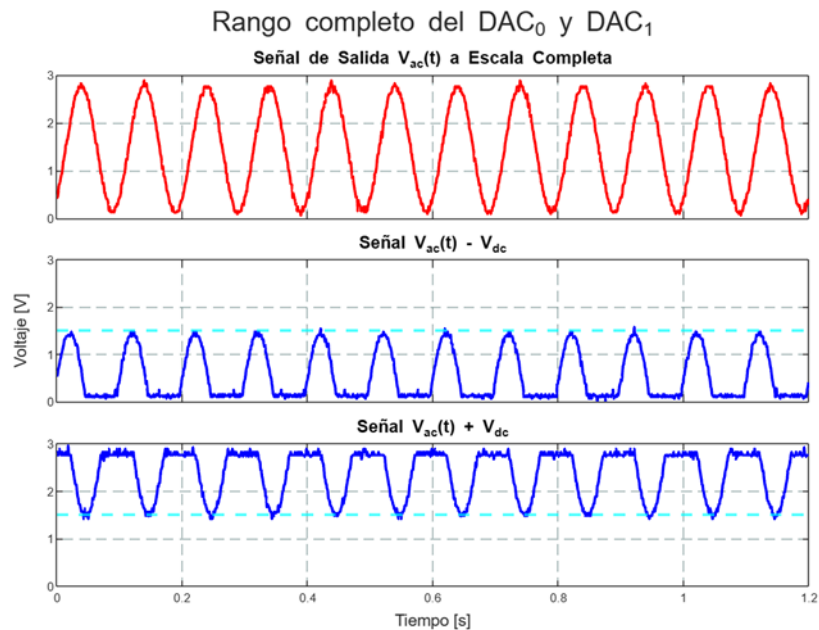


Figura 13. Diagrama de bloques del sistema propuesto para el análisis de impedancias, (elaboración propia).

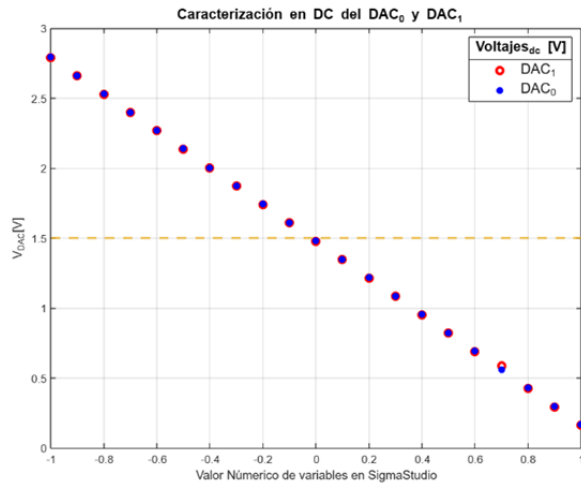
En el esquema se aprecia la impedancia  $Z_x$  del circuito  $R_x C_x$  bajo prueba conectado a una etapa de acondicionamiento de control de ganancia, compensación de fase y offset. La señal de voltaje senoidal  $V_i$  alimenta a la impedancia  $Z_x$ , la señal de salida es acondicionada con el arreglo de los amplificadores operacionales  $A_1$  y  $A_2$  antes de pasar por un circuito  $R_A C_A$  de desacoplamiento de cd, propio de las interfaces de entrada analógica del PSD para señales de audio. La señal de salida es adquirida por el CAD (ADC) para finalmente ser procesada digitalmente en la etapa de DSF. El DSP ADAU1701, al ser un sistema pensado para aplicaciones de audio, presenta una

impedancia interna  $Z_A$  resistiva-capacitiva para el desacople de señales en cd (www.analog.com, 2023), la cual se ubica en los conectores RCA del módulo de entrada, como se muestra en la figura 5(a). Esta impedancia provocó una atenuación y un desfase propios a la señal de entrada, dicha impedancia no es conocida para el usuario; por lo que las correcciones de fase y amplitud se realizaron en forma experimental comparando la señal de excitación generada con respecto a la adquirida y ajustando los controles de retardo y amplitud en el algoritmo del DSF, bloque 2 de la figura 9. Por último, el acondicionamiento de los voltajes de salida en fase y cuadratura permitió verificar un rango dinámico de 0V a 3Vpp, propio de los CDAs (DACs) del PSD. Sin embargo, se estableció un rango de trabajo de -1V a 1V, en cada canal de salida del DSF. Los voltajes de salida se ajustaron en amplitud y offset para que correspondieran con las lecturas dadas por los CDAs (DACs). En la figura 14 se muestra una señal sinusoidal  $V_{ac}(t)$  abarcando el rango dinámico completo de los CDAs ( $DAC_0$  y  $DAC_1$ ) y con ajustes de offset.

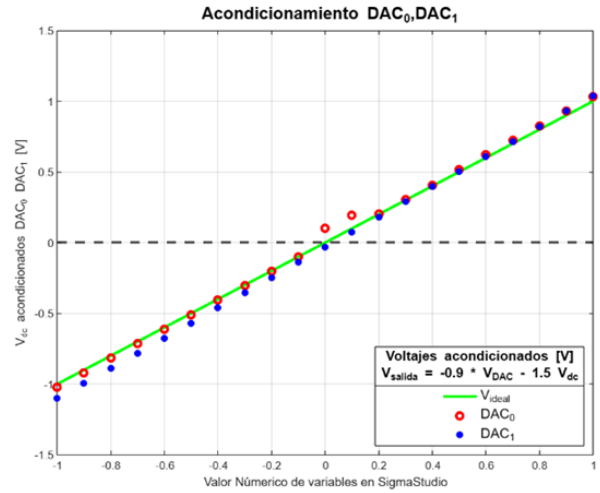


*Figura 14. Comportamiento de una señal sinusoidal con control de offset en donde se aprecian los niveles de máximos y mínimos de los CDAs ( $DAC_0$  y  $DAC_1$ ), (elaboración propia).*

En la figura 15(a) se muestra el comportamiento lineal del voltaje de salida de los CDAs (DACs) utilizados con respecto a una variable numérica generada en función de estos y monitorizada en SigmaStudio.



(a)



(b)

Figura 15. a) Comportamiento lineal del voltaje de salida de los CDAs (DACs) con el máximo rango dinámico y b) Voltaje de salida de los CDAs (DACs) acondicionada para un rango dinámico de  $-1V$  a  $1V$ .

Para obtener un voltaje de salida en los CDAs ( $DAC_0$  y  $DAC_1$ ) con un rango dinámico de  $-1V$  a  $1V$ , se realizó una operación aritmética en el algoritmo del sistema; se multiplicó por  $(-1)$  la variable numérica mencionada anteriormente y se restó un voltaje de offset de  $1.5V$  al voltaje de salida de los CDAs (DACs), por medio del arreglo propuesto de amplificadores operacionales en cada canal de salida, mostrado en el esquema de la figura 6. La gráfica de la figura 15(b) muestra el resultado del ajuste lineal de voltaje de salida de los CDAs (DACs) con el acondicionamiento realizado, con el fin de obtener el rango dinámico requerido.

El análisis de impedancias basado con el esquema simplificado de la figura 13, se realizó con el fin de obtener una aproximación de la magnitud de la impedancia de prueba  $Z_x(V_f, V_c, R_{fx}, Z_A, G, A_p)$  en función de las componentes de voltaje de salida en fase  $V_f$  y cuadratura  $V_c$ , la resistencia de realimentación  $R_{fx}$  del amplificador de entrada  $A_1$  con una ganancia unitaria en el amplificador  $A_2$ , la magnitud de la impedancia  $Z_A$  de entrada del PSD y el factor de ganancia  $G$  de compensación en el PSD,  $A_p$  es la amplitud pico del voltaje de entrada  $V_i$  (Guadarrama et al., 2023). Con este análisis de impedancias se obtuvo la siguiente ecuación,

$$Z_x = \frac{2 \cdot G \cdot A_p}{\pi} \left( \frac{R_{fx} - |Z_A|}{|V_D|} \right) \quad (1)$$

En donde,

$$|V_D| = \sqrt{(V_f)^2 + (V_C)^2} \quad (2)$$

Y el ángulo de desfaseamiento  $\theta$  se puede calcular como,

$$\theta = \text{atan}\left(\frac{V_C}{V_f}\right) \quad (3)$$

Para calcular el valor de la impedancia  $Z_A$  se propusieron las siguientes consideraciones,

$Z_X = R_{fx}$ ,  $Ap = 1V_P$ ,  $V_f = 1V$ ,  $V_C = 0V$ ,  $G = 2.55$ , con estos valores los voltajes de salida en fase y en cuadratura quedan definidos.

Tomando en cuenta estas condiciones la magnitud de la impedancia  $Z_A$  se definió como,

$$|Z_A| = R_{fx} \left(1 - \frac{\pi|V_D|}{2 \cdot Ap \cdot G}\right) \quad (4)$$

Esta ecuación nos da un valor aproximado de la magnitud de  $Z_A$  utilizada para calcular la magnitud de  $Z_x$ . Sustituyendo la ecuación (4) en la ecuación (1) se obtiene,

$$|Z_x| = \frac{R_{fx}}{\sqrt{V_f^2 + V_C^2}} \quad (5)$$

Con el valor de la magnitud de  $Z_x$  se obtienen las componentes de  $R_x$ ,  $X_x$  y  $C_x$  en paralelo en función de la magnitud de su admitancia  $Y_x = Z_x^{-1}$  y del ángulo  $\theta$  como,

$$R_x = (|Y_x| \cos \theta)^{-1} \quad (6)$$

$$X_x = \frac{1}{\omega C_x} = (|Y_x| \sin \theta)^{-1} \quad (7)$$

$$C_x = [\omega (|Y_x| \sin \theta)^{-1}]^{-1} \quad (8)$$

#### 2.4.1 Método de compensación y ajustes del sistema de prueba propuesto

El análisis de impedancias del sistema de prueba nos permitió calcular de forma práctica diversas impedancias bajo prueba en forma polar así como sus componentes  $R_x$  y  $C_x$  en función de los voltajes en fase y cuadratura de salida (Guadarrama et al., 2021). De esta forma se definió el método de compensación de fase, ajustes de ganancia y offset en el algoritmo y en la electrónica de acondicionamiento, siguiendo los siguientes pasos:

1.- Con resistencias de precisión, se estableció la relación de ganancia unitaria del amplificador A1; para lo cual se seleccionó el valor de la resistencia  $R_{fx}$  al valor más aproximado de la

impedancia bajo prueba  $Z_x$ , con las condiciones mencionadas anteriormente para obtener la ecuación (5). Se realizó un ajuste fino de ganancia y de offset en el amplificador A2, con el fin de mantener la amplitud de la señal senoidal  $V_{ac}(t)$  en 2Vpp sin componente de cd generada en el bloque 1 de la figura 9.

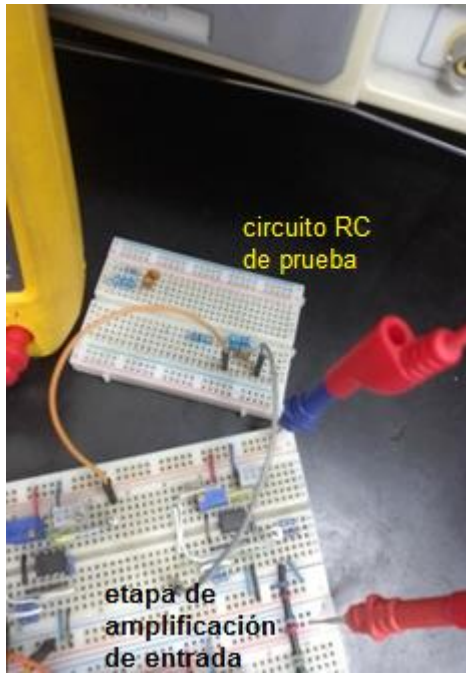
2.- Con el programa SigmaStudio, se ajustaron valores en el bloque de fase para compensar  $Z_A$  debidamente, de tal forma que la señal de excitación generada y la señal adquirida estuvieran en fase. También se ajustaron valores en el bloque de ganancia G, para que las amplitudes de la señal de excitación y la señal adquirida fueran lo más parecidas, bloque 2 de la figura 9.

Una vez realizados los pasos anteriores, las salidas ajustadas del DSF fueron de  $V_f = 1$  V de cd para el canal en fase, mientras que en el canal de cuadratura fue de  $V_c = 0$  V de cd; por lo que  $|V_D| = 1$  V de cd, como se mostró en las figuras 12(a) y 12(b) respectivamente. Al obtener estos valores de voltajes el sistema quedaron ajustados solo para impedancias  $R_x$  iguales a  $R_{f_x}$ . Con estas condiciones fue posible obtener una aproximación de la magnitud de la impedancia  $Z_A$ , como se mostró en la ecuación (4).

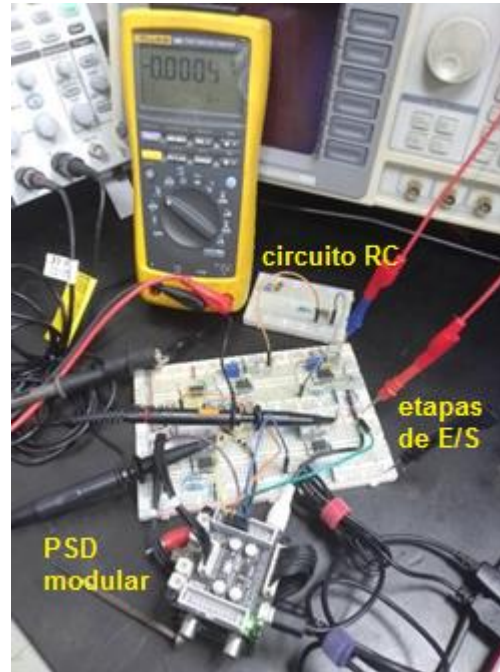
#### **2.4.2. Evaluación del sistema con circuitos $R_x C_x$ de prueba**

El funcionamiento del sistema se probó con 2 circuitos de prueba  $R_x C_x$  en paralelo con el fin de obtener los voltajes de salida en fase y cuadratura correspondientes. Se midieron las componentes  $R_x$  y  $C_x$  usando un medidor de precisión LCR KEYSIGHT E4980AL; posteriormente, los valores medidos se utilizaron para compararlos con los valores calculados teóricamente con las ecuaciones (5), (6), (7) y (8), no se consideraron las tolerancias de los componentes en los valores medidos.

En la figura 16, se muestra un circuito  $R_x C_x$  conectado al sistema para obtener las mediciones de los voltajes en fase y en cuadratura. La electrónica de acondicionamiento se implementó en una tarjeta para prototipos en donde se realizaron los ajustes necesarios y se monitorizaron las señales de entrada y salida del sistema.



(a)



(b)

Figura 16. Conexión del circuito  $R_x C_x$  como impedancia de prueba, a) conectado a la etapa de acondicionamiento de entrada del sistema propuesto y b) componentes del arreglo experimental del sistema de prueba completo, (elaboración propia).

En la tabla 1 se muestran los valores de los componentes individuales del circuito en paralelo ( $R_x$  y  $C_x$ ) medidos con el LCR, la impedancia calculada teóricamente en su forma polar ( $Z_{xt}$ ,  $\theta_{xt}$ ) en función de los valores medidos experimentalmente para cada circuito de prueba propuesto, los valores medidos experimentalmente sirvieron de referencia para calcular los errores relativos. También se muestran los voltajes en fase y cuadratura ( $V_f$ ,  $-V_c$ ) medidos experimentalmente en cada canal de salida del sistema de prueba propuesto, la impedancia y el ángulo de desfasamiento ( $Z_{xe}$ ,  $\theta_{xe}$ ) obtenidos con las ecuaciones (2), (3) y (5), los valores de los componentes individuales ( $R_{xe}$ ,  $C_{xe}$ ) calculados con las ecuaciones (6), (7) y (8) y finalmente el porcentaje de los errores relativos a estos valores, como se muestra en la tabla 1.

En los dos circuitos de prueba se calcularon los valores de la magnitud de  $Z_{xt}$  y el ángulo  $\theta_{xt}$  en función de los valores medidos de  $R_x$  y de  $C_x$ . Estos se compararon con sus respectivos valores calculados en función de los voltajes de salida  $V_f$  y  $V_c$  del sistema, con las ecuaciones mencionadas anteriormente. En la tabla 1 se ve que el error relativo máximo obtenido fue de alrededor del 6%, el cual se puede atribuir principalmente a las tolerancias de los componentes

utilizados y al valor aproximado de la magnitud de  $Z_A$  en la ecuación (5), que corresponde a la magnitud de  $Z_x(R_x, C_x)$  calculada con las condiciones mencionadas anteriormente (Guadarrama et al., 2023).

*Tabla 1. Valores medidos experimentalmente y calculados en función de los voltajes  $V_f$  y  $V_c$  del sistema propuesto con los circuitos de prueba RC en paralelo, así como las componentes de su impedancia.*

Datos medidos con el LCR KEYSIGHT E4980AL y calculados en función de estos					Voltajes de salida del PSD ADAU1701		Datos de la impedancia en paralelo y sus componentes calculados en función de $V_f$ y $V_c$ con el sistema de bajo ruido propuesto									
Circuito RxCx paralelo con $R_{fx} = 5.564$ [k $\Omega$ ] (Valor de referencia)																
f [kHz]	R [k $\Omega$ ]	$C_x$ [nF]	$ Z_{xt} $ [K $\Omega$ ]	$ \theta_{xt} $ [°]	$V_f$ [V]	$-V_c$ [V]	$ Z_A $ [K $\Omega$ ]	$R_{xe}$ [k $\Omega$ ]	$C_{xe}$ [nF]	$ Z_{xe} $ [K $\Omega$ ]	$ \theta_{xe} $ [°]	%Er R	%Er C	%Er  Z	%Er $ \theta $	
1	5.56	9.311	5.291	18.04	0.9777	0.34	2.02	5.69	9.74	5.37	19.19	2.23	4.47	1.56	6	
Circuito RxCx paralelo con $R_{fx} = 9.729$ [k $\Omega$ ] (Valor de referencia)																
f [kHz]	$R_x$ [k $\Omega$ ]	$C_x$ [nF]	$ Z_{xt} $ [K $\Omega$ ]	$ \theta_{xt} $ [°]	$V_f$ [V]	$-V_c$ [V]	$ Z_A $ [K $\Omega$ ]	$R_{xe}$ [k $\Omega$ ]	$C_{xe}$ [nF]	$ Z_{xe} $ [K $\Omega$ ]	$ \theta_{xe} $ [°]	%Er R	%Er C	%Er  Z	%Er $ \theta $	
1	19.4	9.396	12.74	48.847	0.5286	0.6036	4.92	18.40	9.87	12.126	48.79	5.14	4.83	5.1	0.12	

### 2.4.3 Pruebas experimentales del sistema con sensores capacitivos coplanarios

Se realizaron pruebas experimentales del sistema propuesto con dos sensores capacitivos coplanarios cada uno conformados por 10 electrodos en peine en paralelo y con una superficie sensitiva de alrededor de 1 cm<sup>2</sup>. Una condición principal fue que los dispositivos utilizados fueran lo más semejantes en geometría y valor de capacitancia. Estos sensores presentaron una característica de alta impedancia en su componente resistiva, por lo que teóricamente se aproximaron a dos dispositivos solo con reactancias capacitivas. Cada sensor capacitivo sustituye a la impedancia de entrada  $Z_x$  como  $1/X_x$  y a la resistencia  $R_{fx}$  como  $1/X_{fx}$ , en la etapa de entrada del AO A1, figura 13. De esta forma la ganancia a la salida de A1 se obtuvo en función de las capacitancias como,

$$G_1 = -\frac{C_x}{C_{fx}} \quad (9)$$

Con esta expresión se determinó que  $C_x$  fuera el dispositivo sensor, con el fin de que la ganancia  $G_1$  aumentara en función del incremento de la capacitancia  $C_x$ , lo cual se presentó cuando se depositó una MBP sobre el dispositivo sensor. Los dispositivos capacitivos se midieron con el

equipo LCR para determinar cuál de los dos presentaba el mayor valor de capacitancia, y por lo tanto corresponder al dispositivo sensor  $C_x$ . En la figura 17 se muestran los dispositivos capacitivos en el arreglo experimental. Se realizaron pruebas experimentales con Metanol para caracterizar eléctricamente su proceso y tiempo de evaporación. Se colocaron cubre objetos de vidrio de 100  $\mu\text{m}$  de espesor sobre la superficie sensitiva de los dispositivos capacitivos  $C_x$  y  $C_{fx}$ , con el fin de aislar eléctricamente sus electrodos. Se realizaron ajustes de offset y ganancia para determinar una señal base en cero voltios con el fin de cuantificar el ruido base, el cual fue de alrededor de 50 mV. Se realizaron pruebas de sensibilidad para determinar el volumen mínimo necesario para detectar las perturbaciones del campo eléctrico en los electrodos del sensor, en función del proceso de evaporación de la MBP, como variaciones en las señales de voltaje de salida del sistema de prueba.

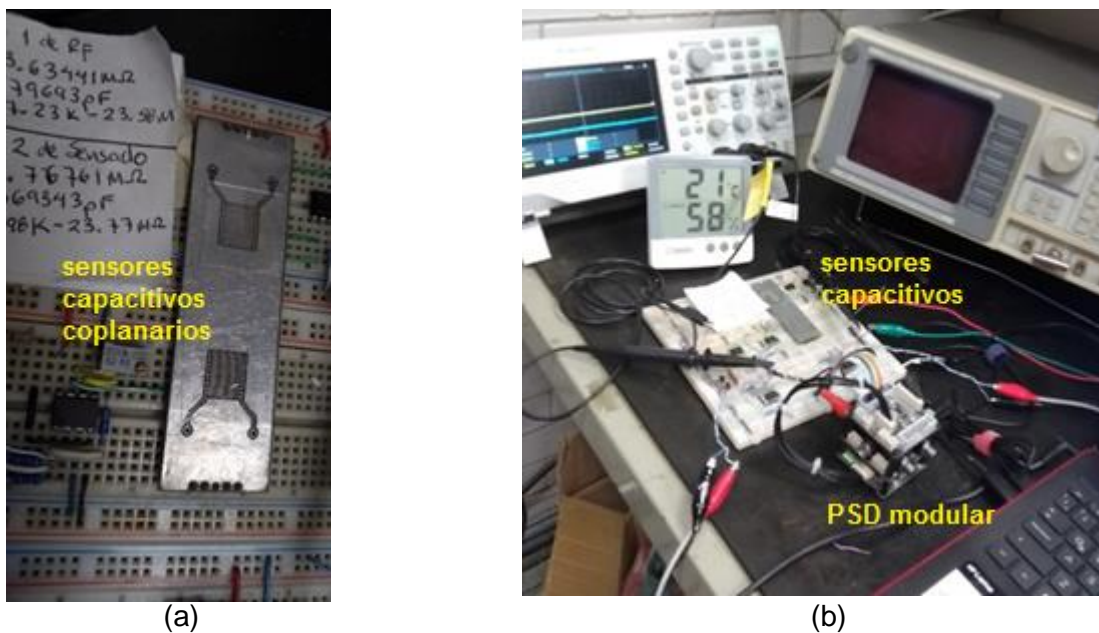


Figura 17. Sensores capacitivos, a) montados en la tarjeta de prototipos y b) conectados al arreglo experimental del sistema basado en el PSD, (elaboración propia).

Se determinó un volumen mínimo de 5  $\mu\text{l}$  de líquido solvente para obtener una buena relación señal a ruido S/R. Los volúmenes de las muestras líquidas se depositaron con una pipeta graduada sobre la superficie sensitiva del sensor capacitivo  $C_x$ , cubierta con la lámina de vidrio, como se muestra en la figura 18.



*Figura 18. Prueba del sistema basado en el PSD con muestra de líquido solvente, (elaboración propia).*

Los datos de los voltajes de salida se digitalizaron con un CAD NI USB-4431 de National Instruments y se graficaron con la APP de Analog Input Recorder de MATLAB, como se muestra en la figura 19. También se podría utilizar un osciloscopio que cuente con almacenamiento de datos para después graficarlos con algún programa dedicado o un multímetro con conexión a una PC.

En la figura 19 se pueden observar las variaciones temporales de los voltajes en fase  $V_f(t)$  y cuadratura  $V_c(t)$  en función del proceso de evaporación de una gota de 5  $\mu\text{l}$  de Metanol, depositada sobre la superficie sensitiva del sensor capacitivo coplanario. Se puede observar que la amplitud de las señales sobrepasa el rango dinámico máximo de los voltajes de salida en el PSD (DSP por sus siglas en inglés); esto debido principalmente a que la muestra líquida se expandió y cubrió casi en su totalidad la superficie sensitiva del sensor antes de que empezara el proceso de evaporación. Esto provoca que la capacitancia aumente en función de la constante dieléctrica de la MBP y por lo tanto también la ganancia de las señales de salida.

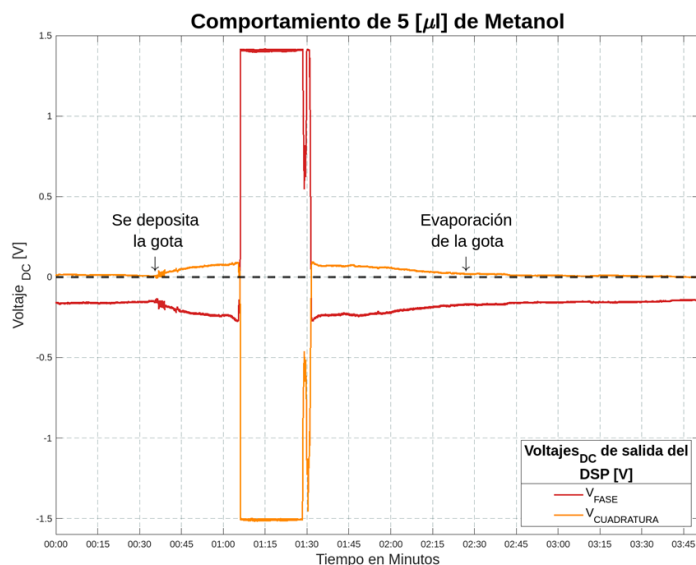


Figura 19. Gráficas de los voltajes de salida en fase y cuadratura en función del proceso de evaporación de 5  $\mu\text{l}$  de Metanol depositados sobre la superficie sensitiva del sensor capacitivo.

En este caso se presentó una relación señal a ruido  $S/R > 30$ , debido al voltaje máximo de salida establecido por las características del PSD. A pesar de que no se pudo monitorizar completamente el proceso de evaporación fue posible determinar el tiempo desde que se deposita la MBP hasta que se evapora completamente, alrededor de 102 segundos, como se muestra en la gráfica de la figura 19. Esta prueba experimental se realizó solo para comprobar que el algoritmo del DSF implementado en un PSD es viable para aplicarlo en el desarrollo de instrumentación de bajo ruido y baja frecuencia, en este caso con sensores capacitivos coplanarios para aplicaciones de caracterización eléctrica de procesos físico-químicos con líquidos volátiles.

### 3. Discusión de resultados obtenidos

Los resultados obtenidos con las pruebas realizadas con los circuitos RC muestran la funcionalidad del algoritmo de DSF como etapa medular en un prototipo de sistema de medición de impedancias. El error relativo máximo obtenido con la metodología propuesta fue de alrededor del 6%, sin embargo, es posible mejorar el desempeño del sistema con el montaje superficial de la electrónica de acondicionamiento electrónico de E/S en una tableta de circuito impreso; esto también ayudaría a reducir el ruido en las señales eléctricas de E/S del sistema mejorando la relación señal a ruido  $S/R$ , como en el caso del uso de los sensores capacitivos. Las señales de voltaje de salida obtenidas presentaron una relación  $S/R$  mayor del rango dinámico máximo de

los CDAs, establecido en el PSD; esto depende principalmente del volumen máximo de la MBP y de su constante dieléctrica, sin embargo se pueden obtener resultados dentro del rango dinámico requerido determinando el volumen adecuado de la MBP en forma experimental y ajustando la ganancia apropiada en el sistema propuesto. Otro punto importante a mencionar es la impedancia de entrada del PSD que sirve de acoplamiento principalmente para señales audio, lo cual restringe el ancho de banda y provoca atenuación y desfase a la señal modulada proveniente de la etapa de sensado, requiriendo un procesamiento de compensación de la señal en el PSD. En el caso que se requiera una señal portadora con frecuencia mayor de 5 kHz habría que evitar la impedancia de acoplamiento manteniendo los niveles permitidos en la señal de entrada para evitar la saturación en la entrada. Los resultados obtenidos en las pruebas experimentales realizadas, mostraron que es factible implementar un sistema de medición de bajo ruido a baja frecuencia con sensores capacitivos, en este caso, pero podrían utilizarse otros sensores como por ejemplo los de tipo inductivo o fotodetectores, con el acondicionamiento electrónico apropiado para una aplicación determinada. Finalmente, con los sistemas programables como el PSD en el desarrollo de instrumentación de bajo ruido se podría añadir la funcionalidad de portabilidad con el uso de baterías, y de esta forma poder realizar pruebas experimentales insitu.

## **Referencias Bibliográficas**

Alan V. Oppenheim, (1997). Señales y Sistemas, 2ª Edición 1997, Prentice-Hall, ISBN 970-17-0116-X.

B. P. Lathi, (1983). Introducción a la teoría y sistemas de comunicación, cuarta reimpresión 1983, Editorial Limusa, S.A., México, ISBN: 968-180555-0

Don Lancaster, (1991). Hardware Hacker Volume II Radio Electronics series, Copyright c. 1991, ISBN: 1-882193-024.

Ernest O. Doebelin, (1990). Measurement Systems Application and Design, 4ª Edición 1990, McGraw-Hill, ISBN: 0-07-017338-9.

General Description. (s/f). SigmaDSP 28-/56-bit audio processor with two ADCs and four DACs data sheet ADAU1701. Analog.com. Recuperado el 23 de octubre de 2023, de <<https://www.analog.com/media/en/technical-documentation/data-sheets/ADAU1701.pdf>>

Guadarrama Santana Asur, Martínez Gutiérrez Daniel, Uc Martín Jorge, (2021). Simulación de un sistema electrónico de medición RCL e Impedancia didáctico, memorias del SOMI XXXV Congreso de Instrumentación, 27-29 de octubre de 2021, pag: 5-10

Guadarrama Santana Asur, Hernández Romero Eduardo, Abel Villanueva Peña y Martínez Gutiérrez Daniel, (2023). “Sistema de medición de señales complejas basado en el procesador de señales digital ADAU1701 con sensores de reactancia variable”, memorias del SOMI XXXVII Congreso de Instrumentación del 8 al 10 de noviembre del 2023.

Guangyu LIU. (2010). “Micro-Capacitance Measurement Based on Phase-Sensitive Detection”. Third International Symposium on Information Science and Engineering, IEEE, 2010. DOI:10.1109/ISISE.2010.42.

Li Tan, Jean Jiang, (2013). Digital Signal Processing, Fundamentals and Applications, Second edition 2013, Academic Press, Elsevier, ISBN: 978-0-12-415893-1.

Package Contents. (s/f). ADAU1701 Mini Evaluation Board. Analog.com. Recuperado el 23 de octubre de 2023, de <<https://www.analog.com/media/en/technical-documentation/evaluation-documentation/EVAL-ADAU1701MINIZ.pdf>>

Ramón Pallás Areny, (2001). Sensores y acondicionadores de señal, 3ª. Edición corregida 2001, Alfaomega Grupo Editor, S.A. de C.V., ISBN: 970-15-0577-8.

Wuqiang Yang, (2010). “Teaching phase-sensitive demodulation for signal conditioning to undergraduate students”, Am. J. Phys. Vol 78 No.9 September 2010. DOI: 10.1119/1.3428642

Youtube.com (2025). Available at <https://www.youtube.com/watch?v=AqLGvHuUfM> [Accessed 21 May 2025].

## ANEXO 1

### Características técnicas del ADAU1701



# SigmaDSP 28-/56-Bit Audio Processor with Two ADCs and Four DACs

Data Sheet

**ADAU1701**

#### FEATURES

- 28-/56-bit, 50 MIPS digital audio processor
- 2 ADCs: SNR of 100 dB, THD + N of -83 dB
- 4 DACs: SNR of 104 dB, THD + N of -90 dB
- Complete standalone operation
- Self-boot from serial EEPROM
- Auxiliary ADC with 4-input mux for analog control
- GPIOs for digital controls and outputs
- Fully programmable with SigmaStudio graphical tool
- 28-bit  $\times$  28-bit multiplier with 56-bit accumulator for full double-precision processing
- Clock oscillator for generating a master clock from crystal
- PLL for generating master clock from  $64 \times f_s$ ,  $256 \times f_s$ ,  $384 \times f_s$ , or  $512 \times f_s$  clocks
- Flexible serial data input/output ports with I<sup>2</sup>S-compatible, left-justified, right-justified, and TDM modes
- Sampling rates of up to 192 kHz are supported
- On-chip voltage regulator for compatibility with 3.3 V systems
- 48-lead, plastic LQFP

#### APPLICATIONS

- Multimedia speaker systems
- MP3 player speaker docks
- Automotive head units
- Minicomponent stereos
- Digital televisions
- Studio monitors
- Speaker crossovers
- Musical instrument effects processors
- In-seat sound systems (aircraft/motor coaches)

#### GENERAL DESCRIPTION

The ADAU1701 is a complete single-chip audio system with a 28-/56-bit audio DSP, ADCs, DACs, and microcontroller-like control interfaces. Signal processing includes equalization, cross-over, bass enhancement, multiband dynamics processing, delay compensation, speaker compensation, and stereo image widening. This processing can be used to compensate for real-world limitations of speakers, amplifiers, and listening environments, providing dramatic improvements in perceived audio quality.

Its signal processing is comparable to that found in high end studio equipment. Most processing is done in full 56-bit, double precision mode, resulting in very good low level signal performance. The ADAU1701 is a fully programmable DSP. The easy to use SigmaStudio™ software allows the user to graphically configure a custom signal processing flow using blocks such as biquad filters, dynamics processors, level controls, and GPIO interface controls.

ADAU1701 programs can be loaded on power-up either from a serial EEPROM through its own self-boot mechanism or from an external microcontroller. On power-down, the current state of the parameters can be written back to the EEPROM from the ADAU1701 to be recalled the next time the program is run.

Two  $\Sigma$ - $\Delta$  ADCs and four  $\Sigma$ - $\Delta$  DACs provide a 98.5 dB analog input to analog output dynamic. Each ADC has a THD + N of -83 dB, and each DAC has a THD + N of -90 dB. Digital input and output ports allow a glueless connection to additional ADCs and DACs. The ADAU1701 communicates through an I<sup>2</sup>C\* bus or a 4-wire SPI port.

Rev. C

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2007–2016 Analog Devices, Inc. All rights reserved.  
[Technical Support](#) [www.analog.com](http://www.analog.com)

# FUNCTIONAL BLOCK DIAGRAM

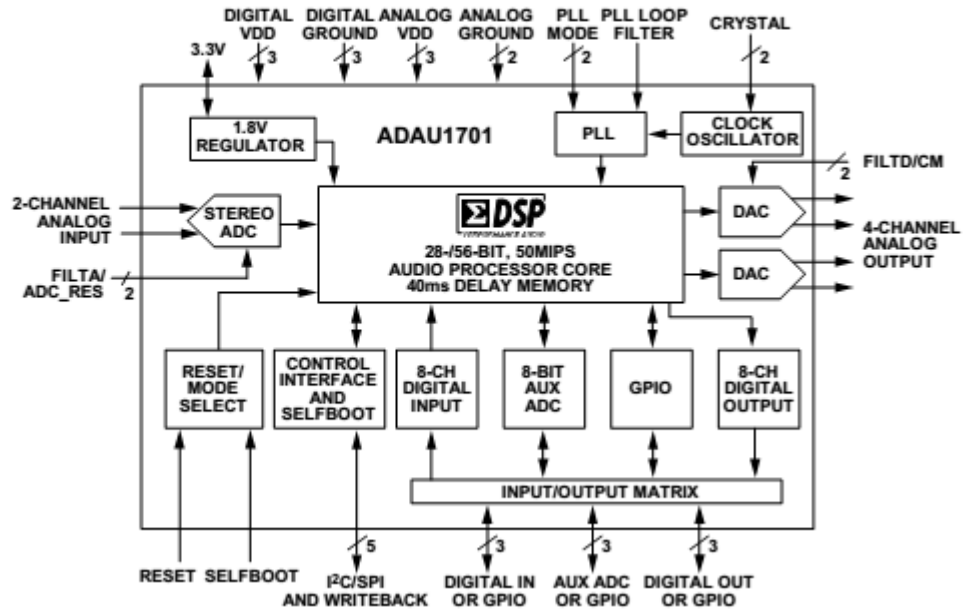


Figura A1. Diagrama funcional del DSP ADAU1701, (www.analog.com).

# PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

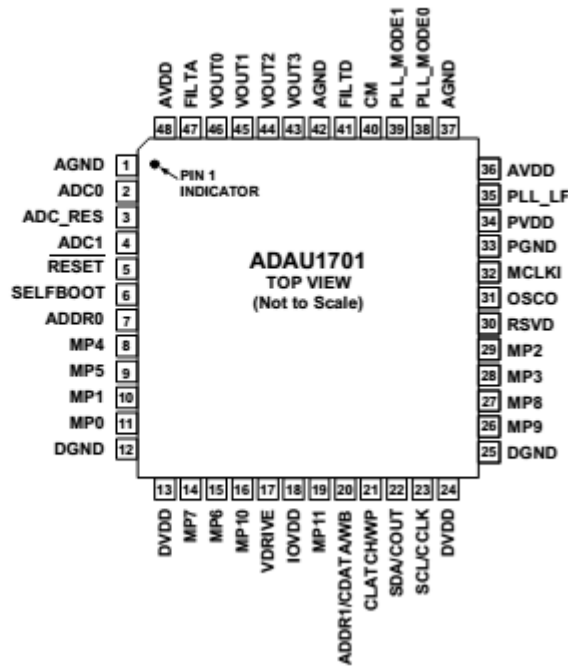


Figura A2. Distribución de pines del DSP ADAU1701, (www.analog.com).

## ANEXO 2

### Módulos del Sistema del PSD

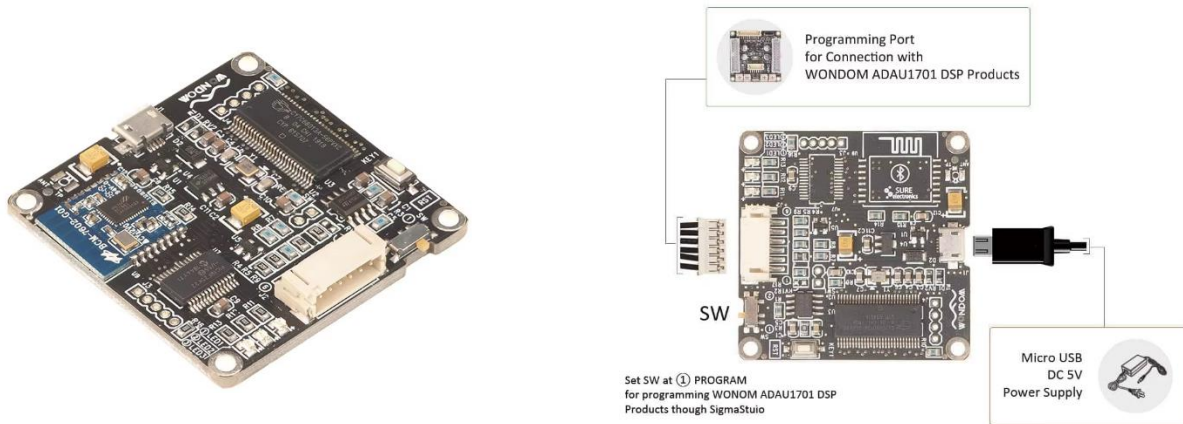
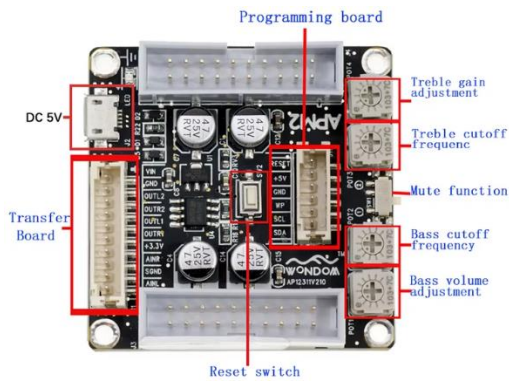
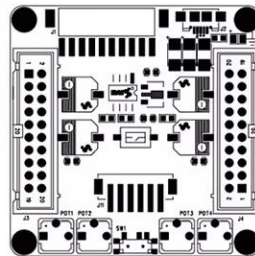


Figura A3. Módulo de comunicación, ([www.wondom.com](http://www.wondom.com)).



#### PIN definition



#### Control Port:

J3

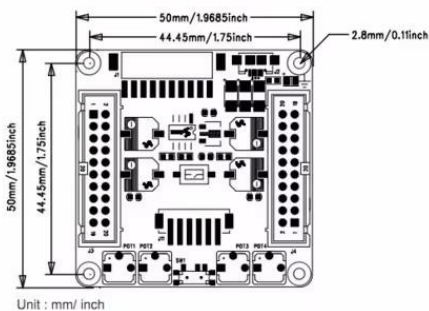
Pin	Definition	Pin	Definition
1	AD0	2	GND
3	AD1	4	GND
5	SCL	6	WB
7	SDA	8	WP
9	RST	10	OR1
11	MP2	12	OL1
13	MP3	14	OR2
15	MP8	16	OL2
17	MP9	18	GND
19	DPW	20	3.3V

#### Control Port:

J4

Pin	Definition	Pin	Definition
1	GND	2	MCLK
3	GND	4	MP11
5	GND	6	MP10
7	GND	8	MP6
9	GND	10	MP7
11	GND	12	MP0
13	GND	14	MP1
15	GND	16	MP5
17	GND	18	MP4
19	GND	20	VIN

#### Dimensional drawing



#### Extension Kit

Connector:

J1 PH-10PIN-2MM

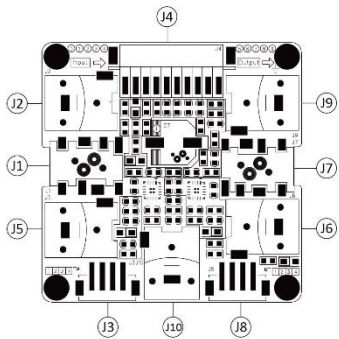
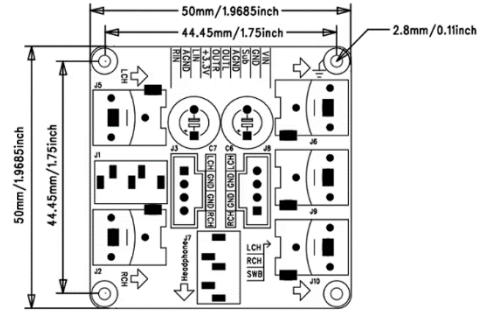
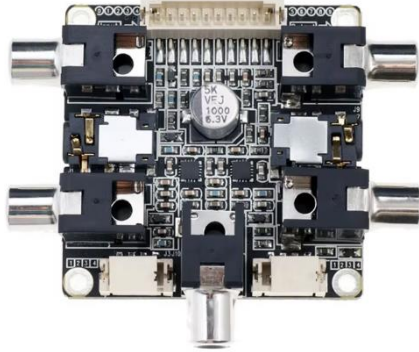
Pin	Definition
1	AIN1
2	SGND
3	AINR
4	SGND
5	OUTR1
6	OUTL1
7	OUTR2
8	OUTL2
9	GND
10	VIN

Program Port:

J11 PH-6PIN-2MM

Pin	Definition
1	AIN1
2	SGND
3	AINR
4	SGND
5	OUTR1
6	OUTL1
7	OUTR2
8	OUTL2
9	GND
10	VIN

Figura A4. Módulo de programación, ([www.wondom.com](http://www.wondom.com)).



**Audio Input**

**AUX In:**  
J1 3.5mm AUX Jack

**RCA Left Input:**  
J2 RCA Jack

**RCA Right Input:**  
J5 RCA Jack

**Line Input:**  
J3 PH-4Pin-2mm  
Vertical Header

Pin	Definition
1	INL
2	GND
3	GND
4	INR

**Audio Output**

**Headphone Output:**  
J7 3.5mm AUX Jack

**RCA Right Output:**  
J6 RCA Jack

**RCA Left Output:**  
J9 RCA Jack

**Subwoofer Output:**  
J10 RCA Jack

**Line Output:**  
J8 PH-4Pin-2mm  
Vertical Header

Pin	Definition
1	OUTR
2	GND
3	GND
4	OUTL

**ADALM1701 Kernel Board Connection**

**APM2 Connection Port:**

J4

Pin	Definition
0	AINL
1	AGND
2	AINR
3	+3.3V
4	OUTR
5	OUTL
6	AGND
7	SUB
8	GND
9	VIN

Figura A5. Módulo de Entrada/Salida ([www.wondom.com](http://www.wondom.com)).

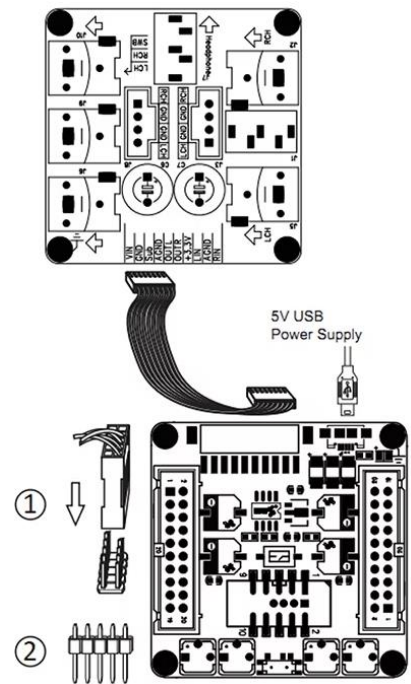
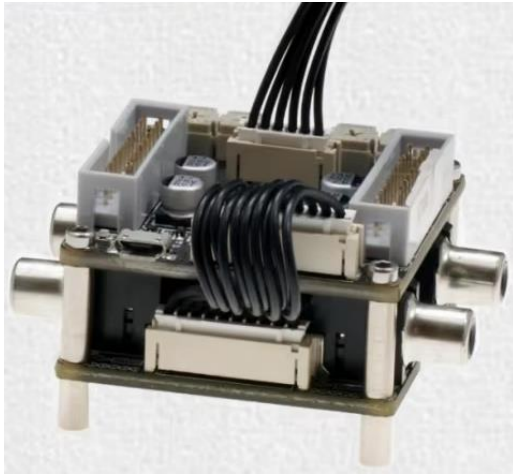
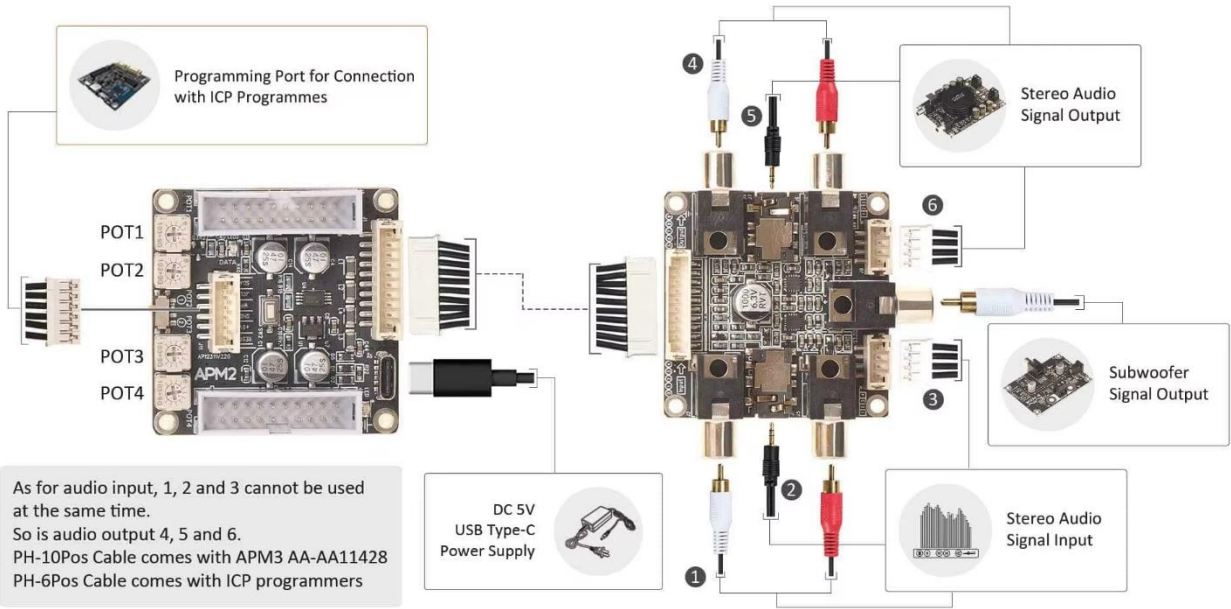


Figura A6. Conexión de módulos de programación y de E/S, ([www.wondom.com](http://www.wondom.com)).