

Informe Técnico

Implementación de un circuito electrónico didáctico para obtener señales eléctricas complejas en base a la detección sensible a la fase

Asur Guadarrama Santana

15 de diciembre de 2021

Desarrollo Tecnológico

Implementación de un circuito electrónico didáctico para obtener señales eléctricas complejas en base a la detección sensible a la fase

Asur Guadarrama Santana

Instituto de Ciencias Aplicadas y Tecnología – UNAM

Resumen

En este trabajo se describe la implementación de un circuito electrónico didáctico de una etapa de Detección Sensible a la Fase basado en la técnica de demodulación síncrona conmutada para obtener señales eléctricas complejas en aplicaciones de instrumentación. La técnica de Detección Sensibles a la Fase se aplica en diversos equipos de instrumentación como medidores de impedancias, amplificadores de bajo ruido (Lock-in), equipos biomédicos, entre otros. La etapa de Detección Sensible a la Fase propuesta es parte de un sistema de medición de señales eléctricas complejas para determinar el valor de resistencia y capacitancia de un circuito eléctrico pasivo RC. Los resultados obtenidos de resistencia y capacitancia se calcularon en función de las componentes en fase y cuadratura de la señal de voltaje a la salida del Detector Sensible a la Fase de dos canales. Las ecuaciones utilizadas para calcular los valores de resistencia, capacitancia, impedancia y ángulo de desfase fueron obtenidas de un análisis de impedancia y admitancia basado en la teoría de circuitos eléctricos, electrónica analógica y los conceptos teóricos de modulación y demodulación aplicados a la instrumentación. Los valores resultantes se compararon con los valores experimentales obtenidos con un medidor LCR portátil. La implementación así como la metodología de medición de señales complejas y la obtención de los valores de las variables presentes en el circuito eléctrico RC, en función de las señales eléctricas de voltaje medidas, servirán de apoyo en la enseñanza teórica y práctica de los temas relacionados en materias de instrumentación y medición a nivel de licenciatura y maestría.

Nomenclatura

DSF – Detección Sensible a la Fase
RC – Resistivo-Capacitivo
 R – Resistencia
 C – Capacitancia
LCR – Inductancia-Capacitancia-Resistencia
SMSC – Sistema de Medición de Señales Complejas
 V_{ca} – Voltaje de corriente alterna
 Z – Impedancia
 X – Reactancia
 A – Amplitud
 A_p – Amplitud pico
 A_{pp} – Amplitud pico a pico
 ω – frecuencia angular ($2\pi f$)
 V_{pp} – Voltaje pico a pico
 f - frecuencia
 V_s – Voltaje de salida de Z
 U – Amplificador 1,2, 3, 5,6, (A y B)
 U_3 – Comparador (A y B)
 U_4 – Interruptores analógicos I_c (1 y 2)
 I_c - Interruptor de conmutación (1 y 2)
 V_{s2} – Voltaje de salida de la etapa de amplificación
 θ – ángulo de desfaseamiento
 G_A – Ganancia de la etapa de amplificación
 G_D – Ganancia de estados de conmutación
 V_{sif} – Señal cuadrada de sincronía en fase
 V_{sic} – Señal cuadrada de sincronía en cuadratura
 V_{s3f} – Señal de salida del demodulador síncrono en fase
 V_{s3c} – Señal de salida del demodulador síncrono en cuadratura
 V_{sdf} – Señal de salida en fase de la etapa de DSF
 V_{sdc} – Señal de salida en cuadratura de la etapa de DSF
FPB – Filtro Paso Bajas
 V_{ESC} – Señal de salida de la etapa de desfaseamiento
 V_{sdf} – Componente de voltaje de salida en fase
 V_{sdc} – Componente de voltaje de salida en cuadratura
 R_m – Resistencia medida
 C_m – Capacitancia medida
 Z_m – Impedancia medida
 θ_m – ángulo de desfaseamiento medido
 R_f – Resistencia calculada
 C_c – Capacitancia calculada
 Z_{fc} – Impedancia calculada
 θ_{fc} - ángulo de desfaseamiento calculado
 E_{rR} – Error relativo de R
 E_{rC} – Error relativo de C

Índice

Introducción.....	5
1. Sistema de Medición de Señales Complejas (Diagrama de bloques).....	5
2. Impedancia y etapa de amplificación.....	6
3. Etapa de Detección Sensible a la Fase.....	7
3.1 Demodulador Síncrono conmutado en fase.....	7
3.2 Demodulador Síncrono conmutado en cuadratura.....	9
4. Mediciones Experimentales.....	12
5. Cálculo de R , C , Z , θ para un circuito RC en paralelo.....	13
6. Resultados.....	14
7. Conclusiones.....	14
Referencias.....	15

Introducción

Por lo general las técnicas de modulación y demodulación se aplican en las telecomunicaciones sin embargo, estas técnicas también se pueden aplicar en los sistemas de instrumentación sobre todo cuando las señales eléctricas provenientes de un sensor o transductor presentan una relación señal a ruido menor a uno. En otras palabras, las señales eléctricas de interés se encuentran enmascaradas por ruido eléctrico y/o electromagnético. El objetivo de modular la señal sensada, es trasladar el espectro de esta a una zona del espectro electromagnético en donde la densidad de ruido espectral sea menor y no presente variaciones como en el caso de ruido blanco. Después se puede recuperar la señal proveniente del sensor por medio de técnicas de demodulación y de filtrado paso bajas; que en conjunto forman parte de una etapa de Detección Sensible a la Fase (DSF). Esta se utiliza en diversos equipos de instrumentación como medidores de impedancias, amplificadores de bajo ruido (Lock-in), equipos biomédicos, entre otros. Por lo general el estudio y la enseñanza de estos sistemas no se estudian a fondo de una forma teórica y/o práctica en los cursos de instrumentación y medición en Ingeniería Eléctrica. En este trabajo se describe la implementación electrónica de una etapa de Detección Sensible a la Fase basado en demodulación síncrona conmutada para aplicaciones en instrumentación. La etapa de DSF propuesta es parte de un sistema de medición básico de señales de voltaje complejas para determinar el valor de resistencia R , capacitancia C , impedancia Z y ángulo de desfase θ de un circuito eléctrico pasivo resistivo capacitivo RC. Los resultados obtenidos de resistencia y capacitancia se calcularon en función de las componentes en fase y cuadratura de la señal de voltaje compleja a la salida de la etapa de DSF de dos canales. Las ecuaciones utilizadas fueron obtenidas de un análisis de impedancia y admitancia basado en la teoría de circuitos eléctricos, electrónica analógica y conceptos teóricos de modulación y demodulación aplicados a la instrumentación, Guadarrama *et al.* (2020), Asur *et al.* (2021). Los valores resultantes se compararon con valores medidos experimentalmente con un medidor LCR portátil. La implementación así como la metodología de medición de señales complejas y la obtención de los valores de las variables presentes en el circuito eléctrico RC, en función de las señales eléctricas de voltaje medidos, servirán de apoyo en la enseñanza teórica y práctica de los temas relacionados en materias de instrumentación y medición a nivel de licenciatura y maestría en Ingeniería Eléctrica.

1. Sistema de Medición de Señales Complejas (Diagrama de bloques)

En forma general el Sistema de Medición de Señales Complejas SMSC propuesto se representa en el diagrama de bloques de la figura 1.

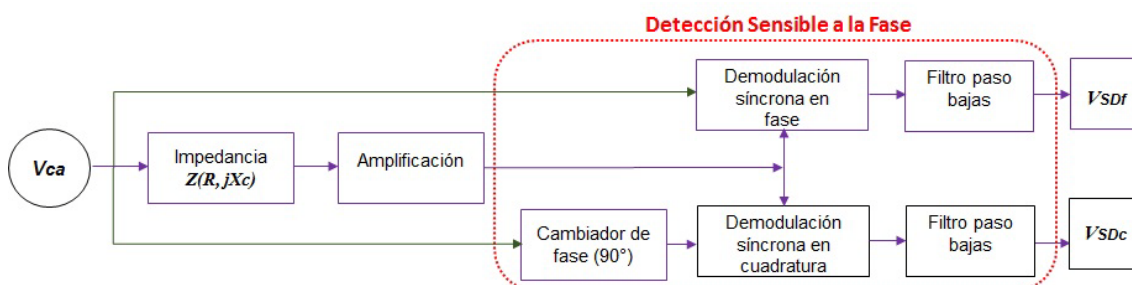


Figura1. Diagrama de bloques del sistema de medición de señales de voltaje complejas propuesto.

El SMSC está formado por una fuente de voltaje senoidal alterna V_{ca} por medio de un Generador de Funciones Tektronics AFG1022 que alimenta a una impedancia Z formada por un circuito eléctrico RC, una etapa de amplificación y una etapa de DSF de dos canales de salida en los cuales se obtienen las componentes de voltaje en fase y en cuadratura de la señal de voltaje alterno que sale de la impedancia Z , Guadarrama *et al.* (2020).

2. Impedancia y etapa de amplificación

El circuito RC que forma la impedancia $Z(R, jX)$ es alimentado por una fuente de voltaje alterna $V_{ca} = A \sin \omega t$ en donde la amplitud $A = A_{pp} = 2V_{pp}$, la frecuencia angular $\omega = 2\pi f$ $f = 1\text{kHz}$. La señal de voltaje de salida V_S de Z entra a una etapa de amplificación formada por dos amplificadores U1A y U1B (TL082), como se muestra en la figura 2.

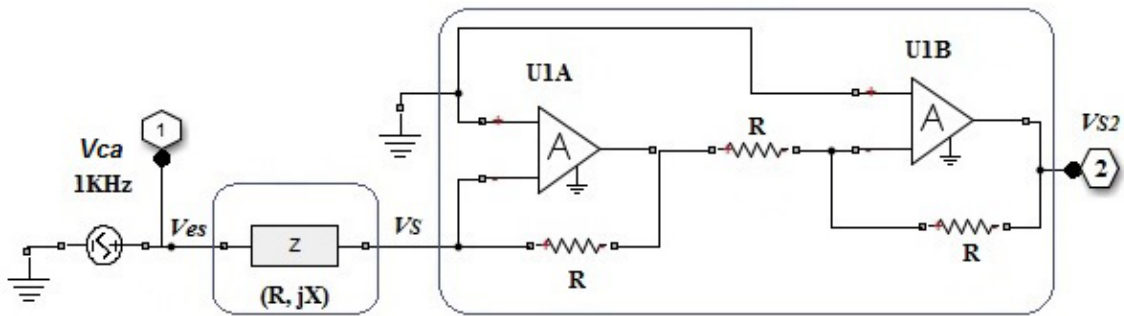


Figura 2. Impedancia Z acoplada a la etapa de amplificación formada por los amplificadores U1A y U1B.

El voltaje de salida de la etapa de amplificación V_{S2} con ganancia G_A se expresa como,

$$V_{S2} = G_A V_S = \left(\frac{R_1}{|Z|} \right) A \sin(\omega t + \theta) \quad (1)$$

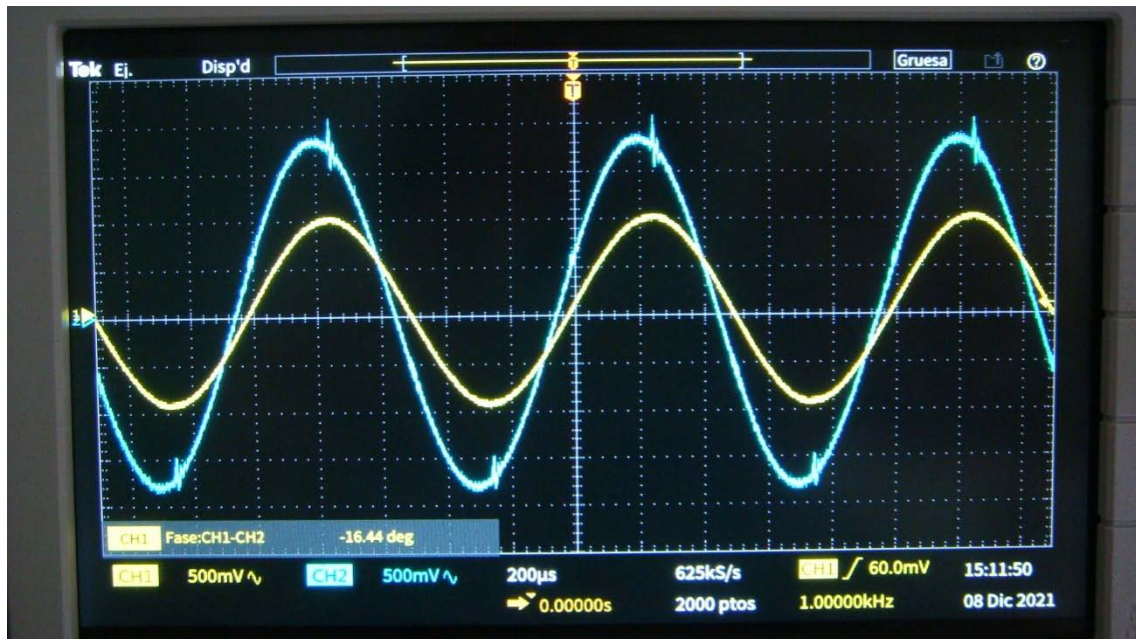


Figura 3. Comparación de las señales de voltaje V_{ca} (en amarillo) y V_{S2} (en azul) mostradas en la pantalla de un osciloscopio de dos canales.

La señal de voltaje de salida V_{S2} (en azul) muestra una ganancia G_A y un ángulo de desfase θ con respecto de la señal de voltaje V_{ca} (en amarillo) de entrada en la impedancia Z . Las señales fueron medidas con un osciloscopio Tektronics TBS1075C de dos canales como se muestra en la figura 3.

3. Etapa de Detección Sensible a la Fase

La etapa de DSF está conformada por dos etapas de demodulación síncrona, una en fase y otra en cuadratura. La sincronización de conmutación se controla por medio de dos conmutadores analógicos CMOS I_{C1} e I_{C2} con el circuito integrado U4 (MAX4603) por medio de señales con estados lógicos de 0 y 1 para los interruptores 2 y 3, como se muestra en la figura 4.

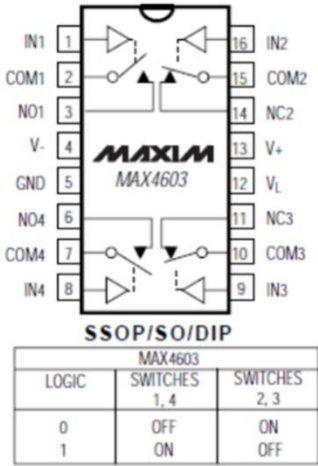


Figura 4. Circuito integrado U4 (MAX4603) utilizado para sincronizar la ganancia G_D en función de los estados lógicos de conmutación de los interruptores 2 y 3.

3.1. Demodulador síncrono conmutado en fase

La etapa de demodulación síncrona en fase requiere de una señal cuadrada de sincronía V_{sif} en fase con la señal de voltaje alterna $V_{ca} = A \sin \omega t$ la cual proviene de la salida del comparador U3A(LM393), como se muestra en el oscilograma de la figura 5.

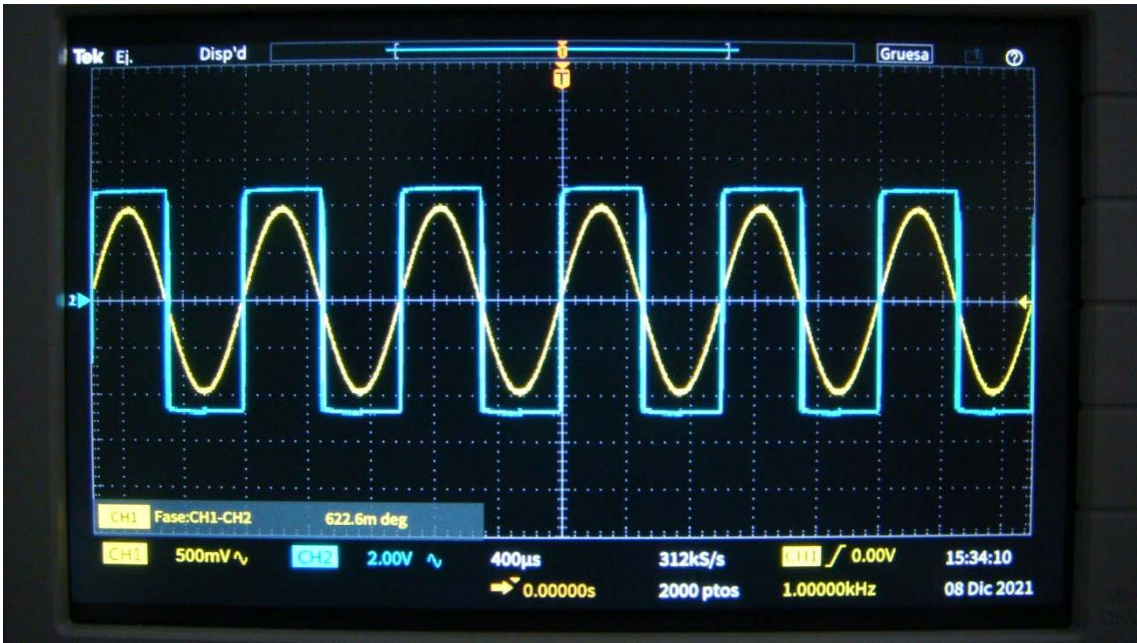


Figura 5. Señal cuadrada de sincronía V_{sif} en fase con la señal senoidal V_{ca} .

La señal cuadrada de sincronía en fase V_{sif} controla la conmutación del interruptor I_{C1} (NC2 de U4) en el amplificador de ganancia programable U5A (TL082) de la etapa de demodulación síncrona en fase como se muestra en la figura 6.

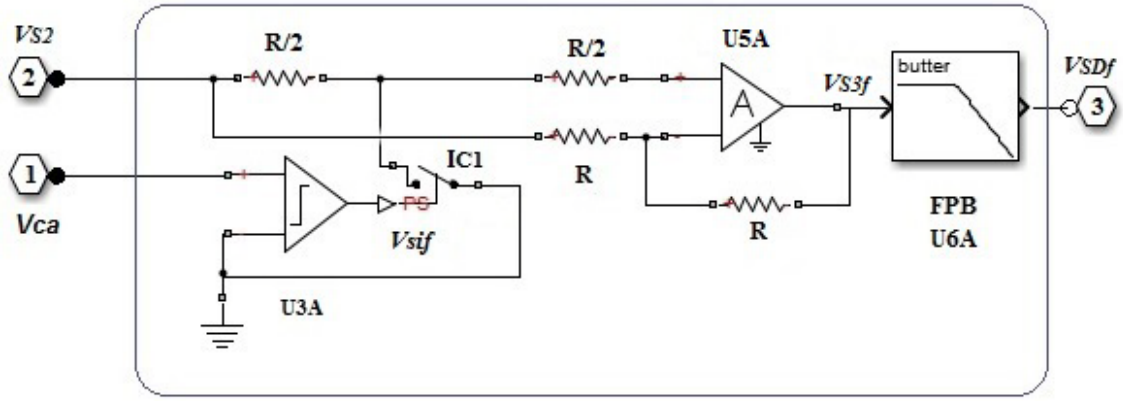


Figura 6. Demodulador síncrono conmutado en fase conformado por el comparador U3A y un amplificador de ganancia programable U5A. La señal de salida V_{s3f} entra a una etapa de filtrado paso bajas que forma el canal de voltaje de salida en fase V_{SDf} del DSF.

En este caso la frecuencia de la señal de voltaje de sincronía V_{sif} es la misma de la fuente V_{ca} la cual es convertida en una señal cuadrada por U3A. Las condiciones de conmutación (cerrado ó abierto) determinan la ganancia G_D (-1 ó 1) respectivamente, a la salida del amplificador U5A y que multiplica a la señal de voltaje V_{s2} de entrada al demodulador síncrono, figura 6.

De esta forma, el voltaje de salida $G_D V_{s3f}$ es la superposición de las condiciones de la ganancia G_D (-1 ó 1) en función del estado del conmutador IC_1 (cerrado ó abierto) y que representa una función de rectificación de la señal V_{s2} como,

$$V_{s3f} = G_D V_{s2} = \begin{cases} G_A A_P \sin(\omega t + \theta) & 0 < \omega t < \pi \\ -G_A A_P \sin(\omega t + \theta) & \pi < \omega t < 2\pi \end{cases} \quad (2)$$

La señal de salida rectificada V_{s3f} del demodulador síncrono en fase entra a una etapa de filtrado paso bajas FPB en función de U6A(TL082) como,

$$V_{s3f} = \frac{1}{2\pi} \int_0^{2\pi} G_D V_{s2} = \frac{1}{2\pi} \left(\int_0^{\pi} V_{s2} d\omega t + \int_{\pi}^{2\pi} -V_{s2} d\omega t \right). \quad (3)$$

La señal de voltaje V_{SDf} representa el valor medio de la señal rectificada V_{s3f} en la salida de un FPB con configuración Sallen-Key de segundo orden con función de transferencia normalizada $H(S) = 1/(S^2 + S + 1)$ con frecuencia de corte de 10 Hz y ganancia unitaria, ésta representa la componente de voltaje de corriente directa en fase de uno de los canales de la etapa de DSF como,

$$V_{SDf} = \frac{A_P G_A}{2\pi} \left[\int_0^{\pi} \sin(\omega t + \theta) d\omega t - \int_{\pi}^{2\pi} \sin(\omega t + \theta) d\omega t \right] = \left(\frac{2A_P G_A}{\pi} \right) \cos \theta. \quad (4)$$

Con el fin de verificar el correcto funcionamiento del demodulador síncrono en fase, la señal de entrada V_{s2} se sustituye por la señal V_{ca} para obtener una señal rectificada en fase V_{s3f} a la salida del demodulador síncrono en fase, como se muestra en la figura 7, Asur *et al.* (2021).

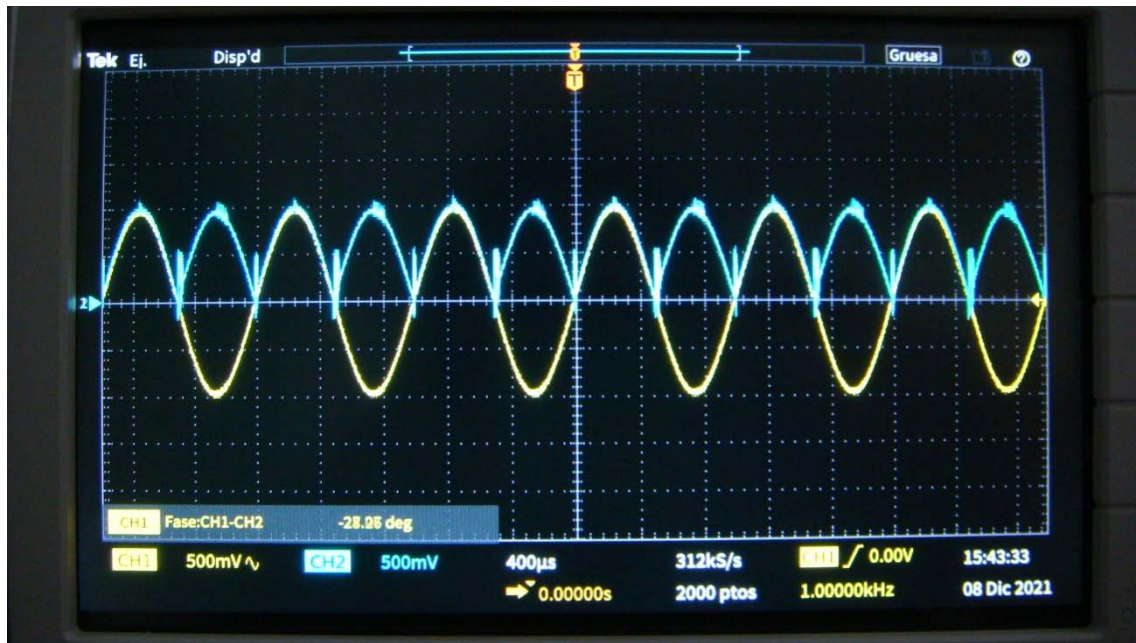


Figura 7. Señal de entrada V_{ca} (en amarillo) al demodulador síncrono en fase y señal rectificada en fase de salida V_{s3f} (en azul).

3.2. Demodulador síncrono conmutado en cuadratura

La etapa de demodulación síncrona en cuadratura requiere que la señal de sincronía V_{sic} se encuentre desfasada un ángulo $\varnothing = 90^\circ$ con respecto de la señal V_{ca} por medio de una etapa de desfasamiento formada por U2 (TL081), Guadarrama et al. (2020). La señal de salida desfasada $V_{ESC} = A \sin(\omega t + 90^\circ)$ entra al comparador U3B para obtener la señal cuadrada de sincronía en cuadratura V_{sic} que controla al conmutador I_{C2} (NC3 de U4), como se muestra en el oscilograma de la figura 8.

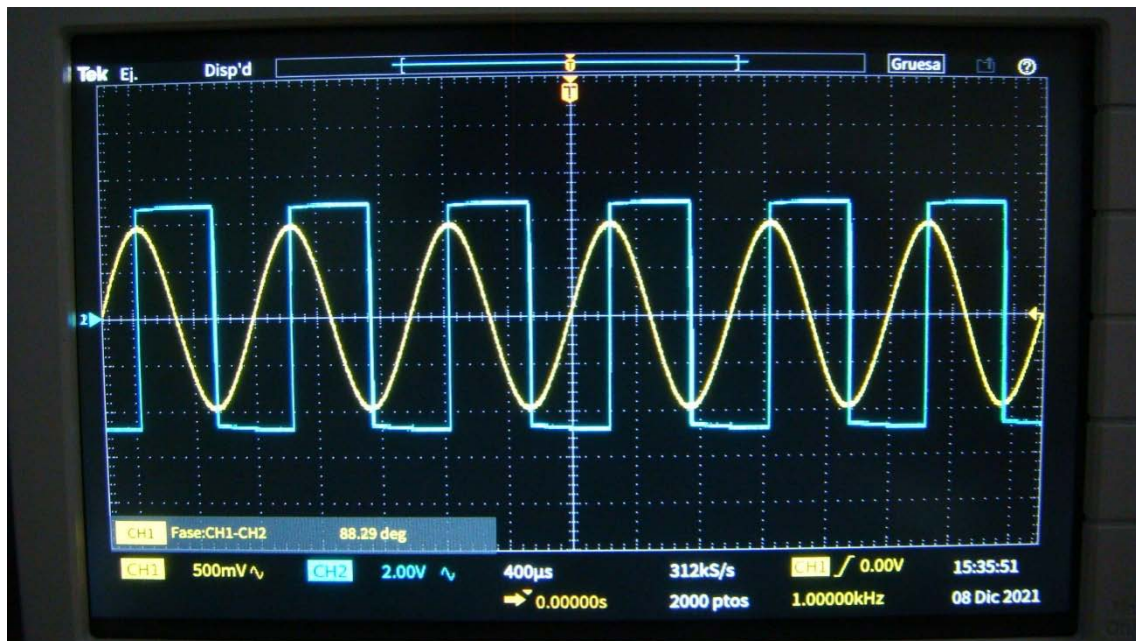


Figura 8. Señal cuadrada de sincronía V_{sic} en cuadratura con la señal senoidal V_{ca} .

Las condiciones de conmutación (cerrado ó abierto) determinan la ganancia G_D (-1 ó 1) respectivamente, del amplificador U5B, que multiplica a la señal de voltaje V_{S2} de entrada al demodulador síncrono, como se muestra en la figura 9.

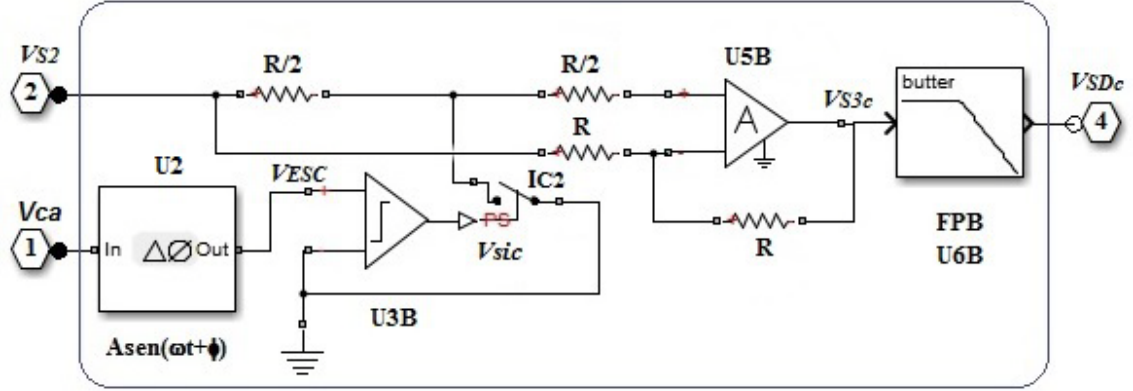


Figura 9. Demodulador síncrono conmutado en cuadratura conformado por el comparador U3B y un amplificador de ganancia programable U5B. La señal de salida V_{S3c} entra a una etapa de filtrado paso bajas para formar el canal de voltaje de salida en cuadratura V_{SDc} del DSF.

De esta forma, el voltaje de salida $G_D V_{S3c}$ es la superposición de las condiciones de la ganancia G_D (-1 ó 1) en función del estado del conmutador $IC2$ (cerrado ó abierto) y que representa una función de rectificación en cuadratura de la señal V_{S2} como con el mismo modelo de la ecuación (2).

De acuerdo al modelo de la ecuación (3), la señal de salida rectificada V_{S3c} del demodulador síncrono en cuadratura entra a una etapa de filtrado paso bajas FPB en función de U6B (TL082). Siguiendo el modelo de la ecuación (4), la señal de voltaje V_{SDc} representa el valor medio de la señal rectificada V_{S3c} en la salida de un FPB con configuración Sallen-Key de segundo orden con función de transferencia normalizada $H(S) = 1/(S^2 + S + 1)$, con frecuencia de corte de 10 Hz y ganancia unitaria; ésta es la componente de voltaje de corriente directa en cuadratura del segundo canal de salida de la etapa de DSF representada como,

$$V_{SDc} = \left(\frac{2A_P G_A}{\pi} \right) \text{sen}\theta . \quad (5)$$

Con el fin de verificar el correcto funcionamiento del demodulador síncrono en cuadratura la señal de entrada V_{S2} se sustituye por la señal V_{ca} para obtener la señal en cuadratura de salida V_{SDc} , Asur *et al.* (2021), como se muestra en la figura 10.

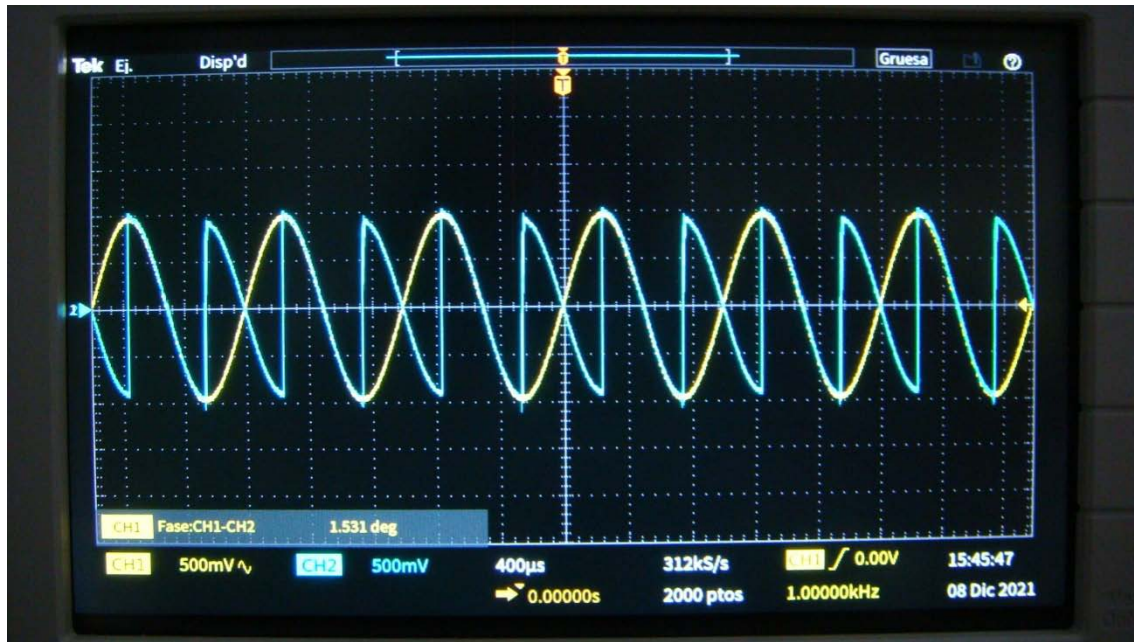


Figura 10. Señales de entrada al demodulador síncrono en cuadratura V_{ca} (en amarillo) y señal en cuadratura de salida V_{s3c} (en azul).

El Sistema de Medición de Señales Complejas (SMSC) de dos canales se forma interconectando las etapas descritas anteriormente siguiendo el diagrama de bloques de la figura 1. El circuito electrónico del sistema completo propuesto se representa en el diagrama esquemático de la figura 11.

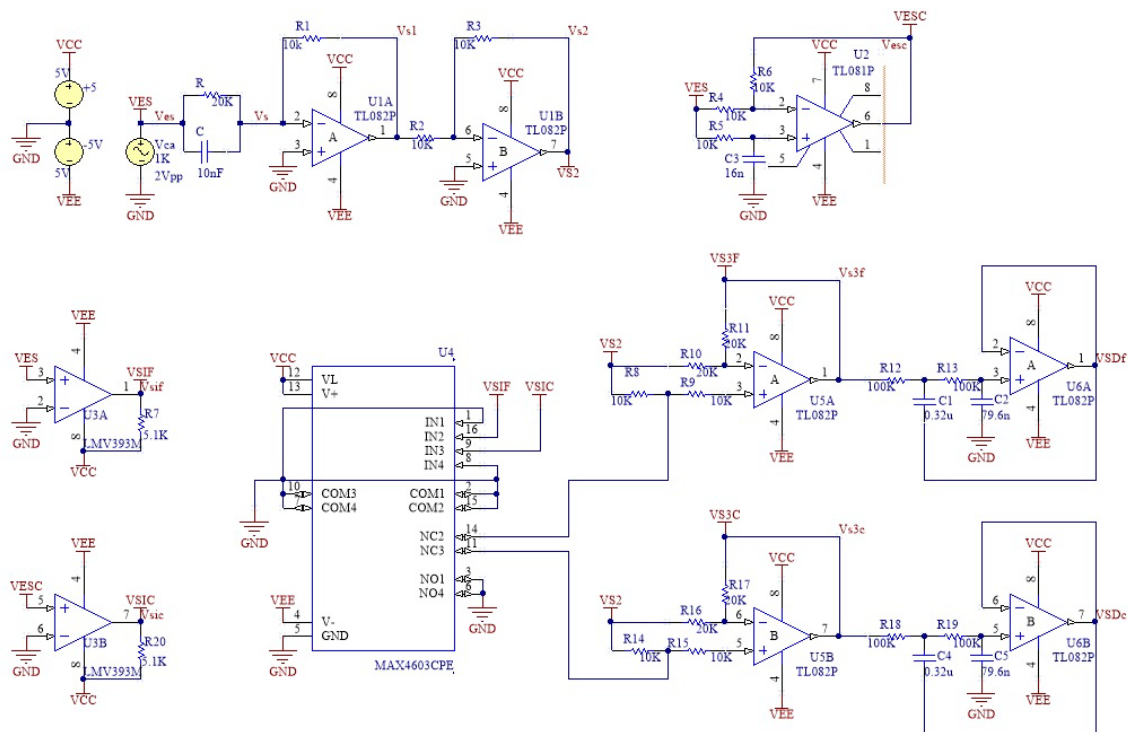


Figura 11. Diagrama esquemático del Detector Sensible a la Fase de dos canales para medirlas componentes de voltaje en fase y en cuadratura de un circuito RC en paralelo.

El circuito electrónico de la figura 11 se implementó sobre una tarjeta de prototipos con sus respectivos componentes electrónicos como se muestra en la figura 12.

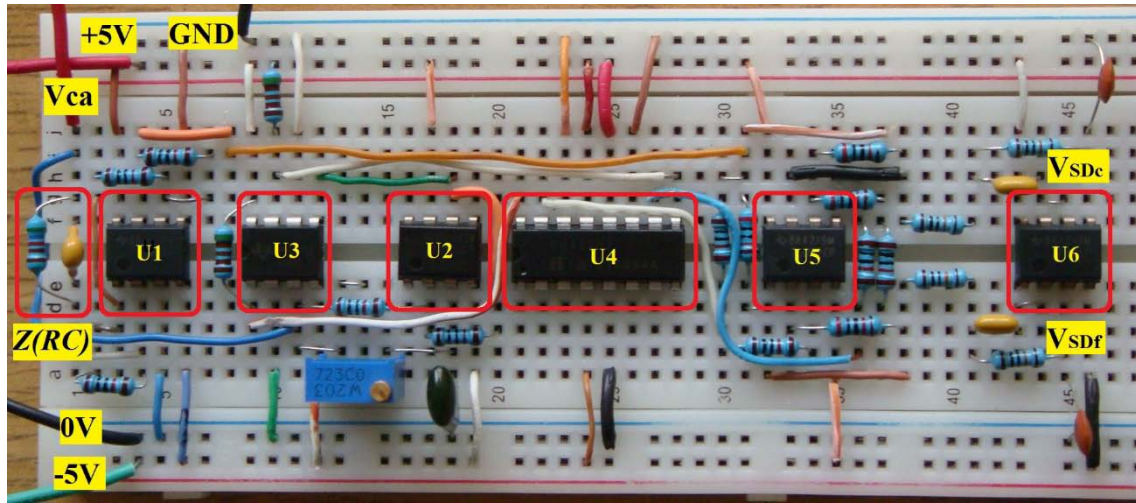


Figura 12. Circuito electrónico del SMSC de dos canales para medir señales eléctricas de voltaje en fase y cuadratura (V_{SDf} , V_{SDc}), implementado en una tarjeta de prototipos.

4. Mediciones Experimentales

Las mediciones experimentales se realizaron con una fuente de voltaje de corriente directa bipolar con $\pm 5V$ (MATRIX MPS 3005L-3), un Generador de Funciones Tektronics AFG1022 con un voltaje senoidal V_{ca} de corriente alterna de $2 V_{pp}$ con una frecuencia f de 1 kHz, un Osciloscopio de dos canales Tektronics TBS1072C, un multímetro digital Fluke 189y el circuito electrónico de la figura 12 implementado con sus correspondientes componentes electrónicos en una tarjeta de prototipos, como se muestra en la figura 13.

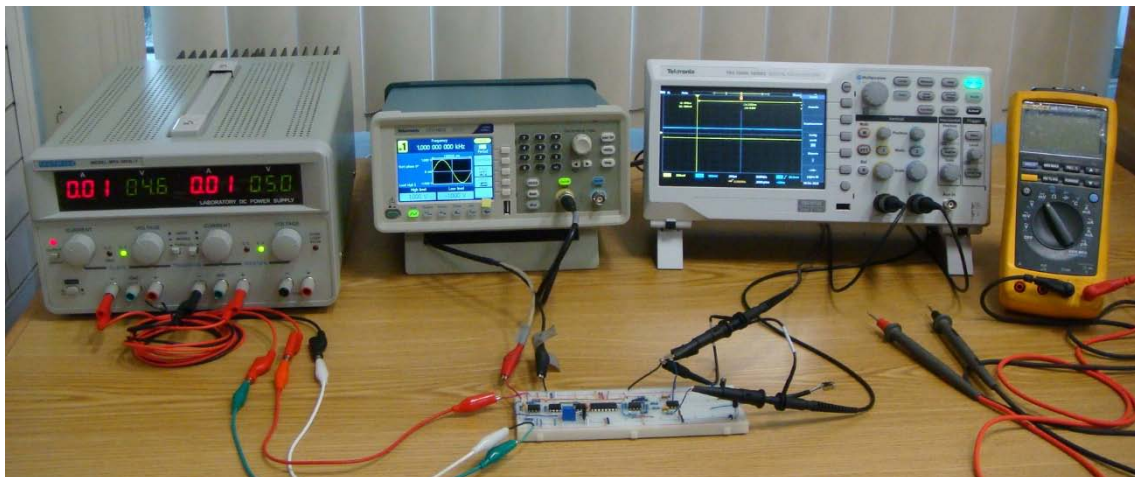


Figura 13. Equipo de medición utilizado con el circuito del SMSC; fuente de corriente directa bipolar, generador de funciones, osciloscopio y multímetro digital.

Se realizaron mediciones experimentales con un circuito eléctrico RC en paralelo a la entrada de la etapa de amplificación y alimentado por un voltaje senoidal V_{ca} con amplitud de $2 V_{pp}$ y con una frecuencia $f = 1$ kHz. Se utilizaron 3 resistencias R de diferente valor con el mismo

capacitor C . Para cada caso se obtuvieron los componentes de voltaje en fase V_{SDf} y en cuadratura V_{SDc} , medidos con el multímetro digital. Los valores de referencia experimentales de los componentes eléctricos pasivos R_m , C_m , Z_m y θ_m se obtuvieron con un medidor LCR45 PEAK portátil a una frecuencia de 1kHz, como se muestra en la figura 14.



Figura 14. Medidor LCR portátil para estimar experimentalmente los valores de R_m , C_m , Z_m y θ_m .

Se midieron experimentalmente los valores de R_m , C_m , Z_m y el ángulo de desfase θ_m de tres circuitos RC en paralelo variando los valores de R_m y manteniendo el mismo valor de C_m . Estos valores se compararon con los valores de R_f , C_c , Z_{fc} y θ_{fc} calculados en función de las componentes de voltaje V_{SDf} y V_{SDc} obtenidos con el circuito electrónico del SMSC propuesto.

5. Cálculo de R , C , Z , θ para un circuito RC en paralelo

Los valores de R , C , Z , θ se calculan en función de las componentes de voltaje en fase y cuadratura de salida del DSF (V_{SDf} , V_{SDc}) con las siguientes expresiones analíticas,

$$|Z| = \left(\frac{2A_P}{\pi} \right) \left(\frac{R_1}{\sqrt{V_{SDf}^2 + V_{SDc}^2}} \right), \quad (6)$$

$$\theta = \tan^{-1} \left(\frac{V_{SDc}}{V_{SDf}} \right). \quad (7)$$

$$R = \left\{ \left[\left(\frac{2A_p}{\pi} \right) \left(\frac{R_1}{\sqrt{V_{SDf}^2 + V_{SDc}^2}} \right) \right]^{-1} \cos \left[\tan^{-1} \left(\frac{V_{SDc}}{V_{SDf}} \right) \right] \right\}^{-1}. \quad (8)$$

$$C = \left\{ \left[\left(\frac{2A_p}{\pi} \right) \left(\frac{R_1}{\sqrt{V_{SDf}^2 + V_{SDc}^2}} \right) \right]^{-1} \sin \left[-\tan^{-1} \left(\frac{V_{SDc}}{V_{SDf}} \right) \right] \right\}^{-1} (\omega). \quad (9)$$

Las ecuaciones (6) a (9) se obtuvieron realizando un análisis de impedancia, admitancia y función de transferencia de las etapas que conforman el sistema de medición propuesto, Asur *et al.* (2021).

6. Resultados

Se realizaron mediciones experimentales de las componentes de voltaje (V_{SDf} , V_{SDc}) con el sistema de medición propuesto SMSC utilizando circuitos eléctricos RC en paralelo, variando 3 valores para la resistencia R (5.6 k Ω , 10 k Ω , 20 k Ω con tolerancias de $\pm 1\%$) y manteniendo el valor del capacitor C (8 nF con tolerancia de $\pm 5\%$) para cada caso. Utilizando las ecuaciones (6) a (9) se calcularon los valores de $R_f(V_{SDf})$, $C_c(V_{SDc})$, $Z_{fc}(V_{SDf}, V_{SDc})$ y $\theta_{fc}(V_{SDf}, V_{SDc})$ y se compararon con los valores de R_m , C_m , Z_m y θ_m obtenidos con un medidor LCR portátil. Los resultados medidos y calculados se muestran en la tabla 1.

Tabla 1. Comparación de los datos obtenidos con el medidor LCR con los datos calculados en función de los voltajes obtenidos con el SMSC, utilizando valores de resistencia y capacitancia comerciales con tolerancias del $\pm 1\%$ y $\pm 5\%$ respectivamente.

Medidor LCR					SMSC		Datos calculados en función de V_{SDf} y V_{SDc}				Error relativo	
f [kHz]	C_m [nF]	R_m [k Ω]	$ Z_m $ [k Ω]	$-\theta_m$	V_{SDf} [V]	$-V_{SDc}$ [V]	C_c [nF]	R_f [k Ω]	$ Z_{fc} $ [k Ω]	$-\theta_{fc}$	%Er _C	%Er _R
1	7.6	5.626	5.39	15°	1.143	0.294	7.35	5.58	5.39	14.42°	3.3	0.82
1	7.72	10.01	8.99	26°	0.649	0.296	7.4	10.2	8.925	24.52°	4.1	1.9
1	7.78	19.861	14.22	44°	0.335	0.304	7.6	19	14.1	42.22°	2.3	4.3

Los porcentajes de los valores absolutos de los errores relativos de R y C se calcularon para cada caso con las siguientes expresiones,

$$\%E_{rR} = \left| \frac{R_f - R_m}{R_m} \right| \times 100 \quad (10)$$

$$\%E_{rC} = \left| \frac{C_c - C_m}{C_m} \right| \times 100 \quad (11)$$

7. Conclusiones

Los resultados obtenidos con el SMSC propuesto presentan un error relativo máximo de 4.3% para R y 4.1% para C los cuales se encuentran dentro del 5% de error respecto de los valores medidos experimentalmente. Los resultados calculados están en función de las componentes de voltaje en fase y cuadratura (V_{SDf} , V_{SDc}), obtenidas con el circuito electrónico del SMSC implementado, y que dependen de las tolerancias de los componentes resistivos y capacitivos utilizados así como de las capacitancias parásitas de las conexiones de los circuitos integrados montados en la tarjeta de prototipos; lo que provoca cambios en los voltajes V_{SDf} y V_{SDc} y por lo tanto en la fase de la señal en cuadratura de los canales de salida del DSF. Las ecuaciones utilizadas se obtuvieron del análisis de función de transferencia de cada módulo que forma parte del sistema propuesto, Asur et al. (2021).

El SMSC propuesto puede ser utilizado para propósitos didácticos en temas de circuitos eléctricos resistivos-reactivos pasivos e instrumentación electrónica. El sistema propuesto se presenta en forma modular y cada etapa se analiza individualmente por medio de su función de transferencia hasta obtener los resultados de las variables en estudio para cada caso, también es posible visualizar las señales de voltaje temporal en las entradas y salidas de cada etapa utilizando un osciloscopio. El circuito electrónico implementado ayuda a comprender mejor el funcionamiento de cada etapa, las cuales forman parte del SMSC. Los resultados obtenidos con el SMSC se obtuvieron con una frecuencia $f = 1$ KHz, un voltaje senoidal con amplitud $A = 2V_{pp}$, un filtro paso bajas Sallen-Key de segundo orden con un ancho de banda de 10 Hz. La ganancia del amplificador U1 limita el voltaje de salida V_{S2} el cual no debe exceder el voltaje de polarización del amplificador U1. Estas condiciones reducen el rango de valores de las variables de R y C por estar en función de la impedancia y por lo tanto de la ganancia G_A .

Referencias Bibliográficas

- Guadarrama Santana Asur, Martínez Gutiérrez Daniel, Uc Martín Jorge. (2020). *Simulación de un sistema de medición electrónico didáctico basado en demodulación síncrona para determinar la impedancia eléctrica de un circuito reactivo pasivo*. Memorias del V COMCAPLA, 6-9 de octubre 2020, pp. 519-534. ISBN: 978-607-29-2893-0.
- Asur Guadarrama Santana, Daniel Martínez, Jorge Uc Martín. (2021). *Simulación de un sistema electrónico de medición RCL e impedancia didáctico*. Memorias del SOMI XXXV Congreso de Instrumentación, 27-29 de octubre de 2021, ISSN 2395-8499.