



DISEÑO E IMPLEMENTACIÓN DE UN AMPLIFICADOR LOCK-IN ANALÓGICO

José Castillo Hernández

Naser Qureshi

Febrero de 2019

Financiamiento CONACYT CB2015 no. 253754

DISEÑO E IMPLEMENTACIÓN DE UN AMPLIFICADOR LOCK-IN ANALÓGICO

José Castillo Hernández

Naser Qureshi

Instituto de Ciencias Aplicadas y Tecnología, Universidad Nacional Autónoma de México, Circuito Exterior S/N, Ciudad Universitaria AP 70-186, C.P. 04510, Ciudad de México, México.

Resumen

En la medición de señales eléctricas, cuando sus magnitudes son muy pequeñas, el ruido presente en el sistema puede llegar a ser de varios órdenes de magnitud, de tal forma que no permite recuperar la información de la señal original. Una estrategia empleada en estos casos es el uso de Amplificadores Lock-in. Estos equipos de instrumentación son muy empleados en laboratorios académicos y de investigación. Los equipos comerciales de amplificadores Lock-in son costosos, debido a su libertad de ajustes y opciones que ofrecen, sin embargo, su principio de funcionamiento es en cierta medida simple y su implementación dentro de ciertos límites es factible. En este trabajo se presenta el funcionamiento de las etapas que conforman un amplificador Lock-in, así como sus elementos para un diseño basado en un procesamiento analógico.

Índice	
Nomenclatura	3
Introducción	4
Definición del problema	5
Entorno actual	5
Relevancia y limitaciones	5
Método	6
Objetivos y resultados esperados	6
Organización del informe	6
1. Estructura de un amplificador Lock-in	7
1.1. Canal de entrada	7
1.2. Canal de referencia	8
1.3. Detector de fase	8
2. Desarrollo de las etapas	10
2.1. Mezclador conmutado	10
2.2. Filtro de salida	11
2.3. Circuito de ajuste de fase	13
2.4. Circuito PLL	14
3. Ejemplo de diseño	15
4. Implementación y resultados	17
Conclusiones	21
Anexo	23
Referencias	27

Nomenclatura

Símbolo	Significado
α	Factor de ajuste del filtro de salida
Δf_L	Intervalo de amarre del PLL
θ_T, θ_1 y θ_2	Valor total, mínimo y máximo del ajuste de fase
ϕ_{in}	Fase de la señal de entrada
ϕ_{ref}	Fase de la señal de referencia
DSP	Procesamiento digital de señales
f_{-3dB}	Frecuencia en -3 dB
f_{BW}	Ancho de banda del PLL
f_c	Frecuencia de corte
f_{in}	Frecuencia de la señal de entrada
f_n	Ancho de banda del ruido
f_o, f_{Lmin} y f_{Lmax}	Frecuencia central, mínima y máxima del VCO
f_p	Frecuencia del polo
f_{ref}	Frecuencia de la señal de referencia
f_z	Frecuencia del zero ¹
$H_{LP}(jf)$	Función de transferencia del filtro paso bajas
$H_{LP,max}$	Máxima ganancia del filtro paso bajas
$ H_{LP} $	Magnitud de la función de transferencia
K_D	Sensibilidad del comparador
K_O	Sensibilidad del VCO
K_V	Factor de ganancia
n	Orden del filtro de salida
OPAM	Amplificador Operacional
PLL	Circuito de amarre en fase
PSD	Detector sensible a la fase
Q	Factor de calidad del filtro paso banda
VCO	Oscilador controlado por voltaje
V_{DD}	Voltaje de polarización
$v_{in}(t)$	Señal de entrada
$v_{mix}(t)$	Respuesta del mezclador de señales
$v_{ref}(t)$	Señal de referencia del mezclador de señales
V_{tresh}	Voltaje de umbral

¹ El término zero es ampliamente usado en el ámbito de control para referirse a las raíces del numerador de una función de transferencia.

Introducción

En el ámbito de la instrumentación existen diversos métodos para recuperar o medir señales que están inmersas en ruido. Estas señales, que generalmente provienen de sensores, se convierten en variables eléctricas con amplitudes muy pequeñas, llegando a tener en algunos casos niveles de nV . Como es de esperarse, estas señales se amplifican para ser manipuladas en procesos posteriores o para ser medidas por algún instrumento. En este punto, en principio, la elección de un amplificador de instrumentación es importante, debido a que estos circuitos agregan una cantidad de ruido a la señal. Tomemos como ejemplo una señal senoidal de 20 nV a 50 kHz que se desea amplificar 1000 veces. Un buen amplificador de instrumentación permite una amplificación de 60 dB con un ancho de banda de 1 MHz y presenta un ruido de entrada menor de $4\text{ nV}\sqrt{\text{Hz}}$. Con base en estas especificaciones, la señal amplificada es igual a $20\text{ }\mu\text{V}$ más una componente de ruido de 40 mV RMS que se obtiene de $4\text{ nV}\sqrt{1\text{ MHz}} \times 1000$. Con este resultado, es claro que la señal de interés tiene una amplitud menor en comparación con el ruido generado; por tanto, para recuperar la señal, tal vez antes de amplificar, sea necesario un proceso de filtrado. Si consideramos un filtro paso banda con un ancho de banda $BW = 500\text{ Hz}$ con una frecuencia central $f_o = 50\text{ kHz}$, el factor de calidad de filtro es igual a $Q = f_o/BW = 100$ el cual en una implementación analógica no es fácil de obtener (Franco, 2015). Sin embargo, aún con esto, la componente de ruido después de amplificar es igual a $89\text{ }\mu\text{V}$, que se desprende de $4\text{ nV}\sqrt{500\text{ Hz}} \times 1000$. Como se observa, aun con el filtrado, el ruido es mayor que la señal.

En los casos en donde el ruido sobrepasa a la señal, una operación de un filtrado convencional no es suficiente para extraer la información de interés, por tanto, es necesario adoptar técnicas especiales entre las que se encuentran: a) los amplificadores Lock-in ya sean Analógicos o digitales, b) Promedio de las señales, c) autocorrelación y correlación cruzada entre otros. Todas estas técnicas, aunque de procedimientos diferentes, tiene como base fundamental reducir, tanto como sea posible, el ancho de banda del ruido.

El presente trabajo se centra en la primera de las técnicas mencionadas, es decir los amplificadores Lock-in. El amplificador Lock-in es un instrumento que se utiliza para extraer señales muy pequeñas inmersas en entornos contaminados con altos niveles de ruido. Los fundamentos y aplicaciones generales del amplificador Lock-in se pueden revisar en (Bhagyajyoti et, 2012), (Libbrecht et al, 2003), (Munroe, 1975), (Scofield, 1994) y (Zurich Instruments, 2016). Este tipo de amplificador se puede dividir en dos grupos: *Amplificadores Lock-in Analógicos* y *Amplificador Lock-in Digitales*. En los primeros, el canal de procesamiento de entrada es analógico, en tanto que el canal de salida puede o no incluir alguna etapa digital. En el segundo caso el procesamiento de entrada y salida del amplificador es de tipo digital, sobresaliendo el uso de circuitos de procesamiento digital de señales o DSP (del inglés Digital Signal Processing). Generalmente en el procesamiento de señales, un DSP presenta un mejor desempeño que su contraparte analógica, lo que en principio lo convierte en una primera opción para cualquier usuario; sin embargo, los procesadores analógicos ofrecen otras ventajas en el área de instrumentación de bajo ruido, debido a que tienen una mejor estabilidad cuando se emplean en lazos de control, y finalmente ofrecen una mayor velocidad de

procesamiento, cuando es necesario mantener reducidas las constantes de tiempo durante la respuesta efectiva del sistema. Sin embargo, cabe mencionar que, con los avances técnicos en el procesamiento digital, la brecha entre ambos tipos de amplificador se está reduciendo.

Definición del problema

Hoy en día, los amplificadores Lock-in comerciales ofrecen varias opciones poderosas, pero en muchos casos, estas opciones son de utilidad secundaria. En otros casos no es posible incluir, por razones obvias, estos instrumentos en un prototipo (De Marcellis et al, 2007). Por supuesto, hay muchos datalogger comerciales, tarjetas DSP y microcontroladores para implementar amplificadores Lock-in, pero esto requiere tener conocimientos en varias áreas de la ingeniería como informática, electrónica digital y procesamiento de señales digitales, por mencionar algunos (Dorrington and Kunemeyer, 2002), (Bengtsson, 2012), (Hofmann et al, 2012). Por otra parte, hay algunas propuestas basadas en la electrónica analógica, pero es usual que sólo informen el diseño general como en (De Marcellis et al, 2007), (Gabal et al 2010) y (Liu and Zhang, 2012). En el presente informe se describe un procedimiento de diseño para implementar un amplificador Lock-in. El procedimiento se basa en la filosofía de diseño de la electrónica analógica. El documento describe los fundamentos y diseños de cada una de sus partes.

Entorno actual

Una de las líneas de desarrollo del Grupo de Electrónica del ICAT es la implementación de instrumentación científica, en donde se resalta el desarrollo de instrumentación basada en una filosofía de diseño analógico, de estos se pueden mencionar dos trabajos que están relacionados con el desarrollo de un sistema de detección del movimiento de una platina sujeta a un sistema basado un motor piezoeléctrico (Castillo, 2008) y (Castillo, 2009). En este desarrollo se tuvo un primer contacto con amplificadores Lock-in.

Relevancia y limitaciones

El trabajo ofrece información sobre la teoría de Amplificadores Lock-in analógicos, procurando resaltar los puntos más esenciales de su funcionamiento, en donde además se expone la implementación de cada una de las principales etapas de este tipo de instrumento, dejando claro que existen diversas opciones para su desarrollo. El informe permite un diseño con base en un conjunto de parámetros que permite calcular cada uno de los elementos que son parte de cada etapa del amplificador Lock-in. Por otra parte, se exponen los resultados obtenidos a partir de un arreglo general armado en tarjetas prototipo. La razón por la que el circuito se expone de esta forma radica en resaltar la implementación a través de una aplicación sencilla. Es claro que el desarrollo de un instrumento más elaborado requiere de un conocimiento especializado en función del área en donde se desea emplear. El trabajo pretende apoyar el desarrollo de este tipo de instrumento para su inclusión en la implementación de prototipos más elaborados. La información que se desprende de este trabajo tiene su aplicación en el área de instrumentación científica y fortalece el desarrollo tecnológico de nuestra institución.

Método

El método de diseño se realiza con base en circuitos integrados analógicos. Los circuitos integrados considerados en este desarrollo son amplificadores operacionales u OPAM (del inglés Operational Amplifier), multiplicadores analógicos y conmutados, así como un circuito de amarre en fase o PLL (del inglés Phase-Locked-Loop). Los amplificadores operacionales se emplean para el diseño de filtros activos, circuitos de corrimiento de fase y etapas de amplificación. Los multiplicadores se usan en la implementación de un mezclador de señales. El circuito PLL se utiliza para garantizar la sincronía de señales.

Objetivo y resultados esperados

1. Explicar el funcionamiento de un amplificador Lock-in y su aplicación en la recuperación de señales de muy baja amplitud en ambientes contaminados con altos niveles de ruido.
2. Mostrar algunas opciones para la implementación de sus etapas básicas con base en un diseño analógico.
3. Se presenta los resultados obtenidos a partir de una implementación en tarjetas prototipo.

Organización del informe

En el capítulo 1, la estructura del amplificador Lock-in se divide en etapas y se presenta el papel que realiza cada una durante el procesamiento de señales. En este capítulo se expone el principio en que se basa el funcionamiento del amplificador Lock-in y se discute en lo general su implementación a partir de una filosofía de diseño analógico.

Los circuitos para el desarrollo del amplificador se presentan en el capítulo 2. Este capítulo aporta las configuraciones y sus ecuaciones de diseño, además de profundizar sobre los parámetros necesarios que se deben considerar para su implementación física.

El capítulo 3, ofrece un ejemplo de diseño, en donde a partir de un conjunto de parámetros se determina el valor de cada componente asociado con cada circuito que interviene en el amplificador Lock-in.

El circuito armado y bajo prueba, se presenta en el capítulo 4, en donde se muestran los oscilogramas obtenidos en el proceso de validación del Lock-in. En este capítulo se da información técnica adicional del ajuste de los instrumentos que se incluyeron en la prueba. También se explica bajo qué condiciones se validó el circuito.

Después del capítulo 4, se presentan las conclusiones que se obtuvieron del informe y se ofrecen algunos comentarios que se consideran pertinentes tomar en cuenta en la implementación. El informe incluye un anexo en donde se presenta la primera página de la hoja de datos de los circuitos considerados en el presente trabajo. Por último, al final de informe se presentan las referencias pertinentes.

1. Estructura de un amplificador Lock-in

El funcionamiento general de un amplificador Lock-in se basa en el esquema básico de un demodulador de AM, en donde la señal de interés corresponde con la envolvente de una señal portadora, que generalmente es de una frecuencia mayor que la de la señal original. En la figura 1 se muestra el diagrama de bloques de un amplificador Lock-in.

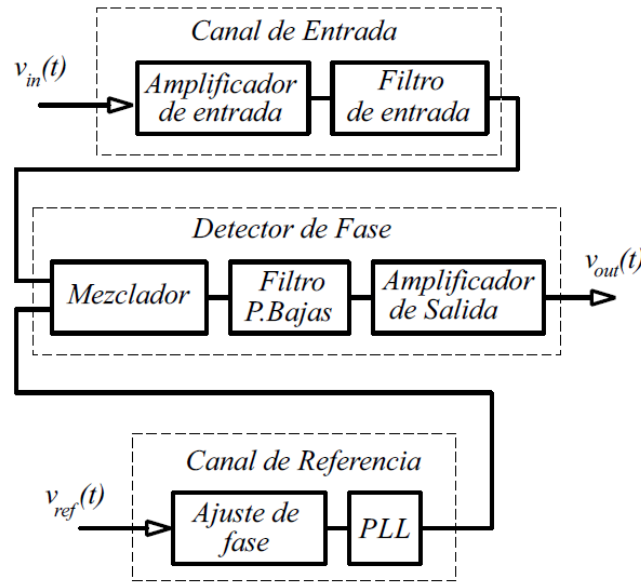


Figura 1. Diagrama de bloques de un amplificador Lock-in.

El arreglo se compone de un canal de referencia que se asocia con la señal portadora o de referencia $v_{ref}(t)$, un canal de entrada en donde se aplica la señal de interés $v_{in}(t)$ que está modulada con una frecuencia similar a la de $v_{ref}(t)$, un circuito detector de fase compuesto de un mezclador de señales y un filtro activo paso bajas, que puede incluir además una etapa de amplificación.

1.1 Canal de entrada

Dependiendo de la aplicación, en esta etapa se puede usar un amplificador para dar una mayor ponderación a su señal $v_{in}(t)$ para su procesamiento posterior. Nuevamente se resalta que la señal $v_{in}(t)$ ya está modulada en amplitud. En algunos casos es opcional el uso de filtros de supresión de banda centrados en la frecuencia de la línea de 60 Hz o en su armónico de 120 Hz. De igual forma a fin de reducir en lo posible los efectos debidos a las señales de ruido de alta frecuencia se puede usar además un filtro paso banda o un filtro paso baja. La frecuencia de diseño, central o de corte, que caracteriza a estos filtros generalmente corresponde con la frecuencia de la señal $v_{ref}(t)$.

Los filtros de supresión de banda se pueden diseñar con una Q o factor de calidad moderado. El factor de calidad es la razón entre su frecuencia central f_o y su ancho de banda BW . En (PerkinElmer, 2000) se menciona que Q puede ser unitaria, sin embargo, se aclara que este valor

tiene como desventaja introducir una atenuación significativa y un corrimiento de fase alrededor de la frecuencia central. Por otra parte, en el caso de un filtro paso banda, el valor de Q puede ser relativamente alto (mayor a 5) y dependerá de la calidad con la que se produzca la señal de referencia. Es importante resaltar que estos filtros ayudan, pero el trabajo de la extracción de la señal original se llevará a cabo en un proceso posterior. Por otro lado, es importante mencionar que el diseño de filtros paso banda se complica conforme se incrementa la frecuencia central, debido a las características adecuadas que deben de cumplir los amplificadores operacionales. En (Franco, 2015) y (Mancini, 2002) se presentan análisis interesantes sobre filtros activos, así como información adicional sobre la respuesta dinámica de los OPAM.

1.2 Canal de referencia

En este canal se procesa la señal de referencia $v_{ref}(t)$ que permitirá la demodulación de $v_{in}(t)$. La señal de referencia se obtiene de una fuente externa o bien de algún oscilador interno. El procesamiento que recibe $v_{ref}(t)$, se enfoca en ajustar su fase con respecto a $v_{in}(t)$. Para este propósito se usa un filtro activo de corrimiento de fase. Es importante mencionar que, dependiendo del detector de fase usado en la siguiente etapa, la señal que se obtiene al final del canal puede ser de tipo senoidal, cuando se usa un multiplicador analógico como detector de fase, o puede ser una señal digital cuando el detector de fase se basa en interruptores analógicos. Por tal motivo, en el último caso después de que la señal pasa por el corrimiento de fase, el canal puede incluir algún esquema de detección de cruce por cero para generar una señal digital que esté sincronizada y en fase con $v_{in}(t)$. Esto se puede implementar a través de comparadores con histéresis para evitar disparos en falso que pueden ocurrir si el umbral de comparación se contamina con ruido; sin embargo, aun y cuando esto ofrece resultados aceptables, la señal que se genera es posible que no permita mantener un ciclo de trabajo apropiado.

Una alternativa interesante es el uso de un circuito PLL que internamente tiene un oscilador controlado por voltaje o VCO (del inglés Voltage Controller Oscillator). En condiciones adecuadas de operación, la frecuencia y fase de VCO se sincroniza con la señal que recibe el PLL. Este circuito se caracteriza por una apreciable inmunidad al ruido. Por esta razón se emplea en el área de comunicaciones para recuperar la portadora de una señal de AM, aunque la inmunidad que ofrece es menor en principio que la observada en un amplificador Lock-in. Por otro lado, a diferencia de un comparador con histéresis, el PLL requiere de un diseño más elaborado, por lo que su manejo no es inmediato. Un estudio excelente sobre la teoría del PLL se presenta en (Best, 2003); sin embargo, en (Franco, 2015) y (Horowitz and Hill, 2015) se ofrecen introducciones bastante aceptables sobre la teoría de este circuito.

1.3 Detector de fase

El detector de fase o PSD (de sus siglas en inglés Phase-Sensitive Detector) está compuesto por un mezclador de señales y un arreglo de filtros activos. El mezclador puede ser de tipo analógico o digital y en esencia obtiene el producto de las señales que recibe. Los filtros activos generalmente están configurados como paso bajas y pueden ser implementados con diversas configuraciones. La

parte principal de un amplificador Lock-in es el mezclador de señales. En la implementación analógica, los mezcladores más usados son el multiplicador analógico y el mezclador conmutado. En el primero, su no linealidad es su principal desventaja, aunque el ajuste es otra desventaja en algunos casos. La no linealidad reduce la capacidad del Lock-in de soportar gran cantidad de ruido. Por otro lado, el mezclador de tipo conmutado se usa extensamente en los Lock-in analógicos comerciales. En estos mezcladores, una señal digital controla los interruptores que muestrean la señal principal. En la figura (2) se representa un circuito mezclador de conmutación básico. En esta figura, $v_{in}(t)$ es la señal principal y $v_{ref}(t)$ es la señal de referencia. La señal de referencia es una onda cuadrada que, durante la primera mitad del periodo, enciende uno de los interruptores electrónicos y durante la segunda mitad enciende el otro. Su construcción es sencilla y permite que la frecuencia de referencia sea bastante alta y sólo está limitada por las características de conmutación de los interruptores analógicos.

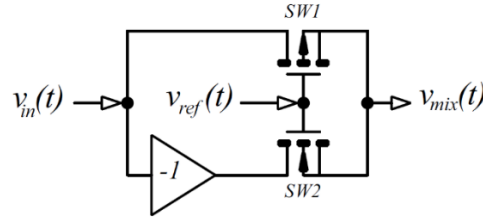


Figura 2. Circuito mezclador de conmutación básico.

Este procedimiento es equivalente a multiplicar ambas señales. Con una frecuencia y fase adecuadas, el circuito funciona como un rectificador síncrono que se conoce como mezclador síncrono. De la onda cuadrada, la amplitud del pulso que activa los interruptores no es importante y sólo se toma en cuenta su frecuencia y fase. Como se mostrará más adelante, el control de frecuencia y el ajuste de fase se realizarán a través de un circuito PLL (del inglés Phase-Locked Loop) y un circuito de corrimiento de fase.

En un mezclador síncrono, la frecuencia de la señal principal puede coincidir con la frecuencia fundamental o con cualquiera de los armónicos impares de la señal de referencia. El primer caso es lo más usual, sin embargo, el tercer armónico también se usa bastante. Para explicar cómo funciona el mezclador conmutado, se puede considerar que $v_{in}(t)$ es una señal sinusoidal con una frecuencia igual a la de $v_{ref}(t)$, pero de diferente fase. Con base en la serie de Fourier, el resultado del mezclador está compuesto por las sumas y diferencias de $v_{in}(t)$ y los armónicos de $v_{ref}(t)$, que incluyen además las sumas y diferencias de sus fases. Si consideramos sólo las frecuencias fundamentales, para simplificar el análisis, la respuesta del mezclador se muestra en (1a-c)

$$v_{mix}(t) = \frac{2V_m}{\pi} [G_{sum} + G_{diff}] \quad (1a)$$

$$G_{sum} = \cos(2\pi(2f_{ref})t + \phi_{in} + \phi_{ref}) \quad (1b)$$

$$G_{diff} = \cos(\phi_{in} - \phi_{ref}) \quad (1c)$$

En la ecuación (1a), V_m es la amplitud de $v_{in}(t)$, en tanto que la amplitud de $v_{ref}(t)$ es la unidad. Cuando la condición $f_{in} = f_{ref}$ se cumple, la salida del mezclador incluye en su respuesta un componente de CD que es sensible a la fase, es decir, su valor promedio es una función de la diferencia de fases de sus señales de entrada.

$$\langle V_{mix} \rangle = \frac{2V_m}{\pi} \cos(\phi_{in} - \phi_{ref}) \quad (2)$$

El valor promedio se puede extraer mediante un filtro paso bajas tal que su frecuencia de corte este por debajo de la frecuencia de referencia. La combinación del circuito mezclador seguida por el filtro paso bajas se conoce como detector sensible a la fase o PSD (del inglés Phase Sensitive Detector). En las aplicaciones del amplificador Lock-in, la frecuencia de corte del filtro es menor que la frecuencia fundamental f_{ref} . El valor, en la ecuación (2), es máximo y proporcional a la amplitud de $v_{in}(t)$ si la diferencia de fases, $\phi_{in} - \phi_{ref}$, es igual a cero.

Por tanto, tomando en cuenta las condiciones anteriores, si la señal $v_{in}(t)$ se modula con alguna señal de baja frecuencia y esta modulación está inmersa en ruido, la salida del PSD es el promedio de las componentes tales que sus diferencias de frecuencias estén dentro del ancho de banda del filtro. Debido a que el valor promedio de una señal sinusoidal es cero, entonces el valor promedio en medio período de la señal portadora es igual al valor de la señal moduladora con una reducción apreciable de ruido en este intervalo de tiempo. Por último, el valor promedio se amplifica con algún OPAM de bajo ruido. En esta parte, la selección de una configuración inversora o no inversora dependerá si durante el proceso ocurrió algún cambio de signo.

2. Desarrollo de las etapas

En las siguientes secciones se discutirá la implementación de las etapas más relevantes de un amplificador Lock-in. Es importante aclarar que en este documento no se considera el amplificador ni el filtro del canal de entrada. La razón que motiva esto, se apoya en el hecho de demostrar el desempeño efectivo del Lock-in aun sin contar con los elementos mencionados. Los circuitos que se exponen a continuación son los siguientes: mezclador digital, filtro de salida, circuito de ajuste de fase y circuito PLL.

2.1 Mezclador conmutado

El AD630 de Analog Devices, es un circuito que permite implementar el mezclador de conmutación síncrono. Este circuito está compuesto por un arreglo de amplificadores operacionales y un interruptor que configuran un circuito multiplexor con ganancias fijas de ± 1 o ± 2 dependiendo de la conexión de las resistencias internas. Cuando el AD630 se utiliza como demodulador síncrono, tiene la capacidad de recuperar una señal muy pequeña inmersa en el ruido con una relación de 100 dB. El circuito está optimizado para funcionar hasta 1 kHz, pero la hoja de datos comenta que el circuito es útil para aplicaciones con frecuencias de hasta varios cientos de kHz. En la figura 3, se presenta la configuración del circuito para una ganancia unitaria. En esta figura, los números entre

paréntesis corresponden con cada terminal del circuito. Las resistencias de $10\text{ k}\Omega$ y $5\text{ k}\Omega$ están ajustadas por un proceso laser sobre la oblea de silicio y establecen la ganancia del mezclador con una precisión del 0.05 %. Las resistencias de $2.5\text{ k}\Omega$ se utilizan para compensar la corriente de polarización. Si es necesario cambiar la ganancia del circuito, la hoja de datos muestra cómo hacer esto con tres resistencias externas. El voltaje V_{tresh} es el umbral que se utiliza cuando $v_{ref}(t)$ es una señal cuadrada unipolar. Si la señal de referencia es bipolar, la terminal (10) se puede conectar a tierra. En ocasiones las terminales (9) y (10) se pueden intercambiar cuando ocurre algún cambio de signo en el canal de entrada.

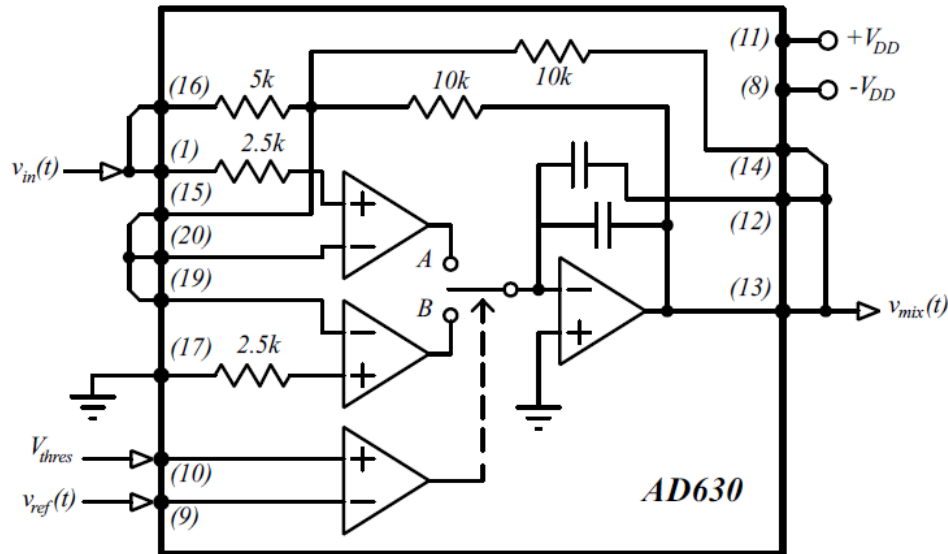


Figura 3. Conexión del AD630 como demodulador síncrono con ganancia de ± 1 .

El AD630 cuenta con terminales para el ajuste de offset de modo común, así como para el ajuste de offset de modo diferencial. Tomando en cuenta esto, la configuración expuesta en la figura 3 se considera la más apropiada para su uso en un amplificador Lock-in.

2.2 Filtro de salida

El filtro de salida del PSD se implementa con varias secciones de primer orden conectadas en cascada en una configuración de paso bajas como se muestra en la figura 4.

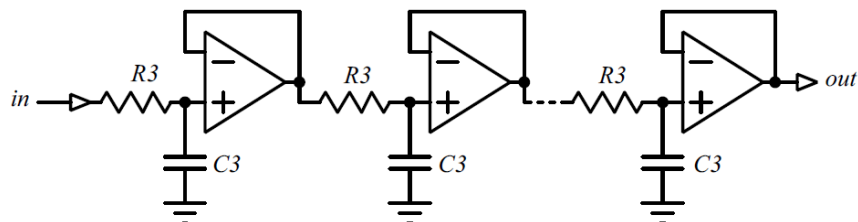


Figura 4. Arreglo de filtros de paso bajo de primer orden para el PSD.

Por supuesto, la implementación con la combinación de filtros de segundo orden, como son las topologías de Sallen Key, retroalimentación múltiple, variables de estado, entre otros, son posibles, pero es importante poner atención en la selección y precisión de sus componentes, para obtener algún tipo de aproximación como Butterworth, Bessel, etc. cuando el orden total del filtro aumenta.

Por otro lado, el diseño del filtro paso bajas de primer orden es simple, y la selección de sus componentes se obtiene de la frecuencia de corte f_c que generalmente se elige cuando la salida alcanza una magnitud de -3 dB . Las ecuaciones (3) y (4) muestran la función de transferencia y la frecuencia de corte del filtro de varias secciones, donde el número de secciones se define como n que a su vez corresponde con el orden del filtro.

$$H_{LP}(jf) = \frac{1}{\left(1 + j \frac{f}{f_c}\right)^n} \quad (3)$$

$$f_c = \frac{1}{2\pi R_3 C_3} \quad (4)$$

Es oportuno mencionar qué, en el arreglo de filtros, la frecuencia de corte de cada sección se desliza hacia la izquierda en el diagrama de Bode, por tanto, para garantizar que la ganancia al final del arreglo sea de -3 dB , durante la frecuencia de corte sin importar el orden del filtro, es necesario calcular un factor de ajuste. Para tal propósito, la ecuación (3) se evalúa con una frecuencia $f = f_{-3dB}$ y una ganancia $|H_{LP}| = -3 \text{ dB}$. A partir de esto, la frecuencia de corte en función de la frecuencia de -3 dB y el factor de ajuste se obtiene como lo muestran las ecuaciones (5) y (6).

$$f_c = \frac{1}{\alpha} f_{-3dB} \quad (5)$$

$$\alpha = \sqrt[n]{\sqrt{2} - 1} \quad (6)$$

Por otra parte, el diseño del filtro en términos del ancho de banda de ruido es más útil que en términos de la frecuencia de corte en -3 dB . Tomando esto en cuenta, la frecuencia de corte se elige a partir del ancho de banda de ruido f_n . El ancho de banda de ruido equivale a la frecuencia de corte de un filtro ideal, que transfiere la misma cantidad de ruido blanco que el filtro que se desea diseñar. Es decir, bajo este contexto la frecuencia -3 dB es proporcional al ancho de banda de ruido, y la relación se puede calcular a partir de la ecuación (7).

$$f_n = \int_0^{\infty} \left| \frac{H_{LP}(jf)}{H_{LP_max}} \right|^2 df \quad (7)$$

En donde, $H_{LP}(jf)$ se define en (3) y H_{LP_max} es la ganancia máxima del filtro. A partir de las ecuaciones (5) y (7), las relaciones f_{-3dB}/f_c y f_n/f_{-3dB} se tabula en la tabla 1 para el diseño de filtros de hasta 5° orden o de 5 secciones.

n	f_{-3dB}/f_c	f_n/f_{-3dB}
1	1	1.57
2	0.6435	1.22
3	0.5098	1.15
4	0.4349	1.13
5	0.3856	1.11

Tabla 1.

2.3 Circuito de ajuste de fase

El ajuste de fase del amplificador Lock-in se realiza a través de dos circuitos, basado en amplificadores operacionales, en una configuración de corrimiento de fase que se conectan en cascada como se muestra en la figura 5.

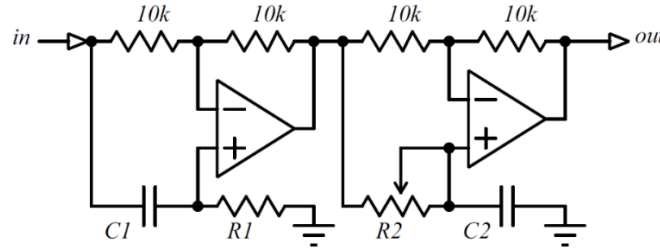


Figura 5. Circuito de ajuste de fase del amplificador Lock-in.

La primera configuración de este circuito es una red de adelanto de fase que está en función de su frecuencia. La fase y frecuencia están definidas por las ecuaciones (8) y (9) respectivamente.

$$\theta_1 = \pi - 2\tan^{-1}\left(\frac{f}{f_1}\right) \quad (8)$$

$$f_1 = \frac{1}{2\pi R_1 C_1} \quad (9)$$

El arreglo conectado en serie con la configuración anterior corresponde con una red de retraso de fase, que también está en función de la frecuencia. El comportamiento de la fase y la relación que guardan sus componentes con la frecuencia quedan establecidas por las ecuaciones (10) y (11).

$$\theta_2 = -2\tan^{-1}\left(\frac{f}{f_2}\right) \quad (10)$$

$$f_2 = \frac{1}{2\pi R_2 C_2} \quad (11)$$

La fase total θ_T del circuito se calcula como $\theta_1 + \theta_2$, y con base en esto es posible establecer en teoría un ajuste en el intervalo de -90° a $+90^\circ$. Lo cierto es que el límite inferior se recomienda que

2.4 Circuito PLL

The diagram shows a CD4046 integrated circuit with the following connections:

- V_{DD}** is connected to pin (16).
- in** is connected to pin (14).
- out** is connected to pin (4).
- Pin (1) is connected to pin (5).
- Pin (2) is connected to pin (13) via a dashed line.
- Pin (3) is connected to pin (8).
- Pin (6) is connected to pin (7).
- Pin (9) is connected to pin (13).
- Pin (10) is connected to pin (11).
- Pin (12) is connected to pin (12) (grounded).
- Pin (15) is connected to pin (15) (grounded).
- Pin (16) is connected to pin (16) (grounded).
- Pin (17) is connected to pin (17) (grounded).
- Pin (18) is connected to pin (18) (grounded).
- Pin (19) is connected to pin (19) (grounded).
- Pin (20) is connected to pin (20) (grounded).
- Pin (21) is connected to pin (21) (grounded).
- Pin (22) is connected to pin (22) (grounded).
- Pin (23) is connected to pin (23) (grounded).
- Pin (24) is connected to pin (24) (grounded).
- Pin (25) is connected to pin (25) (grounded).
- Pin (26) is connected to pin (26) (grounded).
- Pin (27) is connected to pin (27) (grounded).
- Pin (28) is connected to pin (28) (grounded).
- Pin (29) is connected to pin (29) (grounded).
- Pin (30) is connected to pin (30) (grounded).
- Pin (31) is connected to pin (31) (grounded).
- Pin (32) is connected to pin (32) (grounded).
- Pin (33) is connected to pin (33) (grounded).
- Pin (34) is connected to pin (34) (grounded).
- Pin (35) is connected to pin (35) (grounded).
- Pin (36) is connected to pin (36) (grounded).
- Pin (37) is connected to pin (37) (grounded).
- Pin (38) is connected to pin (38) (grounded).
- Pin (39) is connected to pin (39) (grounded).
- Pin (40) is connected to pin (40) (grounded).
- Pin (41) is connected to pin (41) (grounded).
- Pin (42) is connected to pin (42) (grounded).
- Pin (43) is connected to pin (43) (grounded).
- Pin (44) is connected to pin (44) (grounded).
- Pin (45) is connected to pin (45) (grounded).
- Pin (46) is connected to pin (46) (grounded).
- Pin (47) is connected to pin (47) (grounded).
- Pin (48) is connected to pin (48) (grounded).
- Pin (49) is connected to pin (49) (grounded).
- Pin (50) is connected to pin (50) (grounded).
- Pin (51) is connected to pin (51) (grounded).
- Pin (52) is connected to pin (52) (grounded).
- Pin (53) is connected to pin (53) (grounded).
- Pin (54) is connected to pin (54) (grounded).
- Pin (55) is connected to pin (55) (grounded).
- Pin (56) is connected to pin (56) (grounded).
- Pin (57) is connected to pin (57) (grounded).
- Pin (58) is connected to pin (58) (grounded).
- Pin (59) is connected to pin (59) (grounded).
- Pin (60) is connected to pin (60) (grounded).
- Pin (61) is connected to pin (61) (grounded).
- Pin (62) is connected to pin (62) (grounded).
- Pin (63) is connected to pin (63) (grounded).
- Pin (64) is connected to pin (64) (grounded).
- Pin (65) is connected to pin (65) (grounded).
- Pin (66) is connected to pin (66) (grounded).
- Pin (67) is connected to pin (67) (grounded).
- Pin (68) is connected to pin (68) (grounded).
- Pin (69) is connected to pin (69) (grounded).
- Pin (70) is connected to pin (70) (grounded).
- Pin (71) is connected to pin (71) (grounded).
- Pin (72) is connected to pin (72) (grounded).
- Pin (73) is connected to pin (73) (grounded).
- Pin (74) is connected to pin (74) (grounded).
- Pin (75) is connected to pin (75) (grounded).
- Pin (76) is connected to pin (76) (grounded).
- Pin (77) is connected to pin (77) (grounded).
- Pin (78) is connected to pin (78) (grounded).
- Pin (79) is connected to pin (79) (grounded).
- Pin (80) is connected to pin (80) (grounded).
- Pin (81) is connected to pin (81) (grounded).
- Pin (82) is connected to pin (82) (grounded).
- Pin (83) is connected to pin (83) (grounded).
- Pin (84) is connected to pin (84) (grounded).
- Pin (85) is connected to pin (85) (grounded).
- Pin (86) is connected to pin (86) (grounded).
- Pin (87) is connected to pin (87) (grounded).
- Pin (88) is connected to pin (88) (grounded).
- Pin (89) is connected to pin (89) (grounded).
- Pin (90) is connected to pin (90) (grounded).
- Pin (91) is connected to pin (91) (grounded).
- Pin (92) is connected to pin (92) (grounded).
- Pin (93) is connected to pin (93) (grounded).
- Pin (94) is connected to pin (94) (grounded).
- Pin (95) is connected to pin (95) (grounded).
- Pin (96) is connected to pin (96) (grounded).
- Pin (97) is connected to pin (97) (grounded).
- Pin (98) is connected to pin (98) (grounded).
- Pin (99) is connected to pin (99) (grounded).
- Pin (100) is connected to pin (100) (grounded).

El comparador I es una compuerta XOR y el comparador II se conoce como detector de fase-frecuencia o PFD (del inglés Phase-Frequency-Detector). El circuito tiene una retroalimentación que comunica la salida del comparador seleccionado con la entrada del VCO. La salida del VCO a su vez se comunica con una de las entradas del comparador de fase. En la otra entrada se aplica la señal con la que se quiere obtener la sincronización. Un filtro pasivo conectado de forma externa, conocido como filtro de lazo, es quien forma la retroalimentación del PLL.

14

la compuerta XOR, la diferencia de fase de las señales es una función de la frecuencia, en tanto que, si se elige el comparador PFD las señales siempre permanecerán en fase.

El procedimiento del diseño de PLL consiste en configurar el VCO y elegir los componentes del filtro de lazo. Para configurar el VCO, su frecuencia central f_o y el intervalo de amarre Δf_L se eligen igual que la frecuencia de referencia del Lock-in. El intervalo de amarre es la banda de frecuencias en la que el VCO y la señal de entrada del PLL se sincronizarán. La frecuencia f_o se establece en la mitad de intervalo de amarre. A partir de f_o y Δf_L , las frecuencias mínima y máxima, f_{Lmin} y f_{Lmax} , se obtienen como $f_o - 0.5\Delta f_L$ y $f_o + 0.5\Delta f_L$ respectivamente. Dependiendo del fabricante del circuito, las resistencias R_4 , R_5 y el condensador C_4 se determinan a partir de tablas o mediante el uso de ecuaciones.

Los componentes del filtro de lazo se obtienen según el ancho de banda del PLL y la sensibilidad tanto del VCO como del comparador elegido. El ancho de banda del PLL f_{BW} , se define como la tasa de cambio de su frecuencia de entrada. Debido a que esta frecuencia se fija en f_{ref} y de existir algún cambio es sólo para el ajuste, en los cálculos se puede usar un valor pequeño como 1 kHz. Teniendo en cuenta que el voltaje de polarización es V_{DD} , las sensibilidades para los comparadores I y II son $K_D = V_{DD}/\pi$ y $K_D = V_{DD}/(4\pi)$ respectivamente, mientras que la sensibilidad del VCO se calcula a partir de $K_O = 2\Delta\pi f_L/(V_{DD} - 2V)$. Estos parámetros se combinan como $K_V = K_D K_O$, donde K_V se denomina factor de ganancia. Con base en lo anterior, la frecuencia del polo y zero del filtro se ajustan de acuerdo con $f_z = f_{BW}/\sqrt{2}$ y $f_p = f_{BW}^2/\sqrt{K_V}$. Por último, con las ecuaciones (12) y (13), se obtienen los componentes del filtro de lazo.

$$R_7 = \frac{1}{2\pi f_z C_5} \quad (12)$$

$$R_6 = \frac{1}{2\pi f_p C_5} - R_7 \quad (13)$$

3. Ejemplo de diseño

A continuación, se presenta el diseño de un amplificador Lock-in para recuperar una señal senoidal de 10 Hz con una amplitud de 500 μV . Para mostrar el desempeño del amplificador, la señal se contamina con ruido blanco de 100 mV. El arreglo considerado se muestra en la figura 7. El sistema comprende un mezclador conmutado, un circuito de ajuste de fase, un circuito PLL, un filtro paso bajas y un amplificador de salida.

En esta configuración no se considera el filtro paso banda, ni el amplificador de entrada para $v_i(t)$, con la finalidad de mostrar lo eficaz del arreglo, aun sin tomar en cuenta estas etapas. Por esta misma razón, como se dijo anteriormente, el circuito se armó en una tarjeta prototipo, procurando que su ensamble sea lo más ordenado posible. Antes de iniciar el diseño, se hace énfasis en que, se desea recuperar la forma de la señal y no sólo su amplitud.

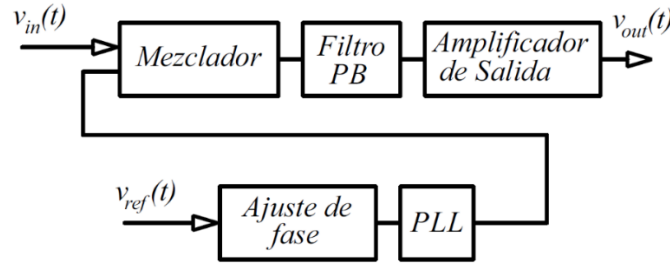


Figura 7. Arreglo propuesto para el diseño de un amplificador Lock-in.

Para este diseño se considera una frecuencia de modulación de 10 kHz y por tanto la frecuencia de referencia f_{ref} se fija en 10 kHz . El filtro de salida se considera de 3 etapas, con un ancho de banda de ruido f_n de 10 Hz y un capacitor C_3 de 100 nF . Se seleccionó el comparador II del PLL para asegurar que las señales estén en fase y se usó un capacitor C_5 de 100 nF para el filtro de Lazo. La polarización V_{DD} se fijó en un valor de 12 V .

Para el diseño del circuito de ajuste de fase, se tomó en cuenta los siguientes parámetros: $f_x = f_{ref}$, $\theta_1 = \pi/2$, $\theta_T = -4\pi/9$ (que equivale a 80°). A partir de las ecuaciones (8)-(11), fijando de manera arbitraria $C_1 = 15\text{ nF}$ y $C_2 = 18\text{ nF}$, los valores aproximados de las resistencias obtenidas fueron $R_1 = 1\text{ k}\Omega$ y $R_2 = 10\text{ k}\Omega$. Los cálculos intermedios dieron los siguientes resultados: $\theta_2 = 17\pi/18$, $f_1 = 10\text{ kHz}$ y $f_2 = 875\text{ Hz}$. Para hacer ajustable al circuito, la resistencia R_2 se implementó con un potenciómetro.

Si se considera que $f_o = f_{ref}$ y $\Delta f_L = f_{ref}$, para el diseño del PLL, las frecuencias $f_{Lmin} = 5\text{ kHz}$ y $f_{Lmax} = 15\text{ kHz}$ son los límites del intervalo de amarre. Entonces, a partir de la hoja de datos de CD4046 (Texas Instruments) y teniendo en cuenta los últimos parámetros, los componentes obtenidos para el VCO son $R_4 = 33\text{ k}\Omega$, $R_5 = 100\text{ k}\Omega$ y $C_4 = 5.6\text{ nF}$. Para el diseño del filtro de lazo, debido a que se utilizó el comparador II, una polarización de 12 V , y un ancho de banda de 1 kHz , se calcularon los siguientes parámetros: $f_z = 707.1\text{ Hz}$, $K_V = 3\text{ kHz}$ y $f_p = 333.3\text{ Hz}$. Por tanto, recordando que $C_5 = 100\text{ nF}$ y tomando en cuenta las ecuaciones (12) y (13), las resistencias del filtro de lazo calculadas corresponden con $R_7 = 2.2\text{ k}\Omega$ y $R_6 = 2.7\text{ k}\Omega$.

Los parámetros usados para calcular los elementos del filtro de salida fueron $n = 3$ y $f_n = 10\text{ Hz}$. Con ayuda de la tabla 1, se obtuvo un valor de 8.7 Hz para f_{-3dB} y de 17.1 Hz para f_c . Por tanto, considerando que $C_3 = 100\text{ nF}$, las resistencias del filtro de salida se calculan a partir de la ecuación (4), dando como resultado que $R_3 = 100\text{ k}\Omega$.

Por último, el amplificador de salida se puede implementar con una configuración no inversora y de una ganancia apropiada; sin embargo, tomando en cuenta la recomendación hecha en (Franco, 2015), en la implementación final, la señal obtenida del mezclador primero se amplificó y después se filtró. Debido a que la ganancia de los filtros es unitaria y su configuración es no inversora, la

amplificación se puede realizar en la primera etapa del filtro. Como recomendación se propone, al menos en la primera etapa del filtro, el uso de operacionales de bajo ruido y con ajuste de offset. Para el diseño se usó una ganancia fija de 100, sin embargo, ésta se puede hacer ajustable fácilmente a través de un potenciómetro.

4. Implementación y resultados

En la figura 8, considerando los componentes calculados y funcionando bajo las condiciones propuestas en el ejemplo anterior, se muestra el arreglo del amplificador Lock-in armado en una tarjeta prototipo. En la figura se observa las conexiones de los equipos usados en la prueba, en donde resalta el osciloscopio que despliega las señales superpuestas del generador de funciones y la salida del amplificador Lock-in.

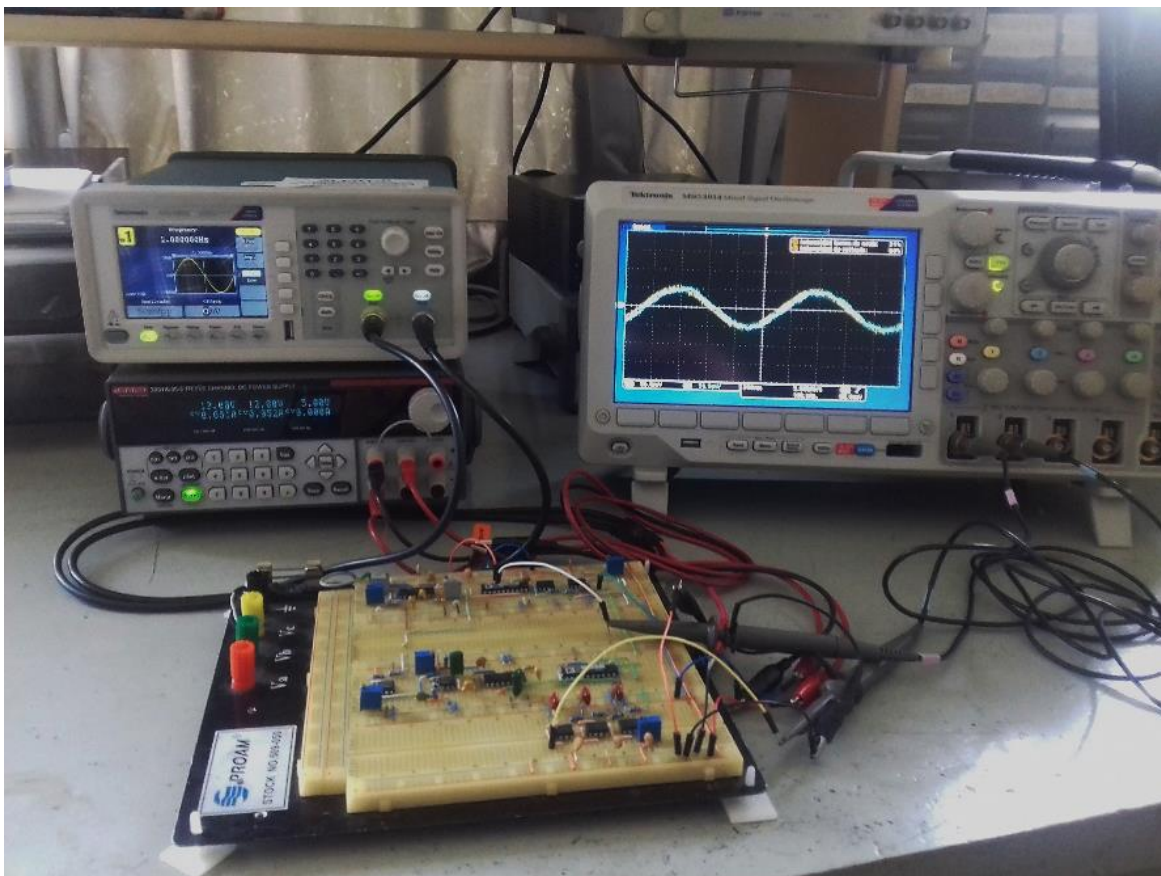


Figura 8. Amplificador Lock-in bajo prueba de validación.

En la figura 9 se presenta la imagen con mayor detalle del amplificador Lock-in. En ésta se puede apreciar el circuito de ajuste de fase, el circuito PLL, el mezclador de señales y el filtro de salida que ya incluye la etapa de ganancia.

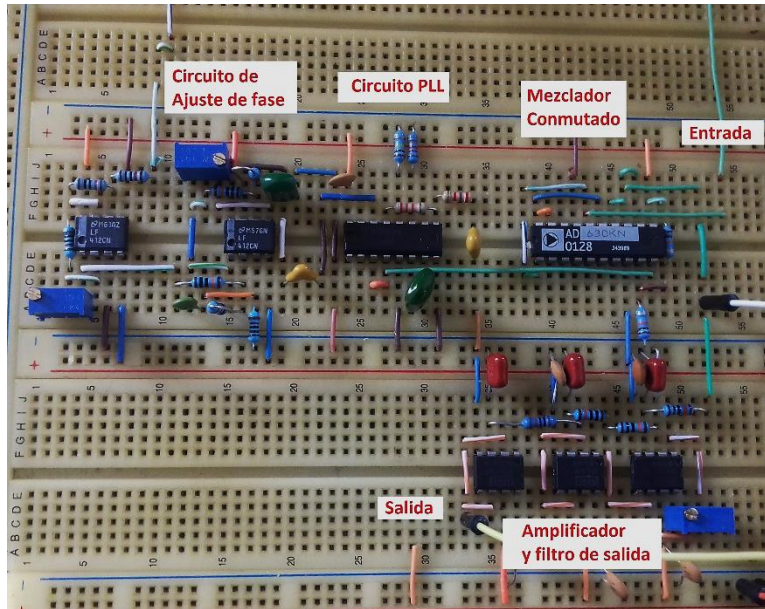


Figura 9. Amplificador Lock-in armado en una tarjeta prototipo.

Para realizar las pruebas se usó un generador de funciones AFG1022 de dos canales y un osciloscopio MSO 3014 de 10 MHz y 2.5 GS/s, ambos de Tektronix. Para producir la señal de prueba, se implementó el arreglo que se muestra en la figura 10.

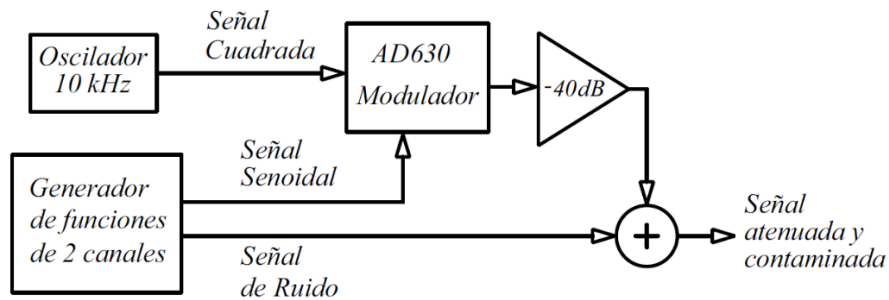


Figura 10. Diagrama de bloques del arreglo empleado generar la señal de prueba del Lock-in

En la imagen anterior, el generador de funciones se ajustó para producir una señal senoidal con una amplitud de 50 mV sin offset y con una frecuencia de 1 Hz; en la imagen el oscilador de señal cuadrada de 10 kHz se usó para modular esta señal. La modulación de la señal se realizó con otro circuito AD630 conectado con una configuración de ganancia unitaria que se puede consultar en su hoja de datos. En la figura 11 se muestra el oscilograma de las señales, en donde la escala de medida es de 50 mV por cuadro en ambos casos, con una escala de tiempo de 200 ms por cuadro. Los canales del osciloscopio se ajustaron de tal forma que sus puntas para medir no tienen atenuación y el ancho de banda del instrumento no está limitado a 20 MHz. Por otra parte, cabe mencionar

que la escala de tiempo indicada se mantendrá en los oscilogramas que se presenten en este documento.

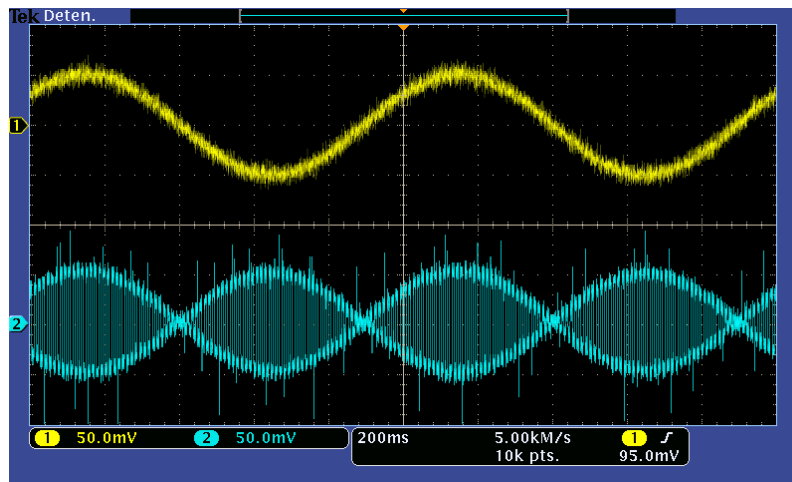


Figura 11. Canal 1: trazo amarillo, señal que produce el generador de funciones; canal 2, trazo azul: modulación de la señal del canal 1 con una frecuencia de 10 kHz.

La señal modulada se atenuó 40 dB o 100 veces y posteriormente se contaminó con una señal de ruido blanco de 100 mV. Según el fabricante, el ruido es de tipo gaussiano con un ancho de banda de 25 MHz. La señal que se obtiene se convierte en la señal de entrada del amplificador Lock-in. En la figura 12 se muestra el oscilograma en donde aparece la señal modulada sin atenuar, así como la señal atenuada y contaminada con el ruido. La escala de amplitud fue de 50 mV y 20 mV respectivamente.

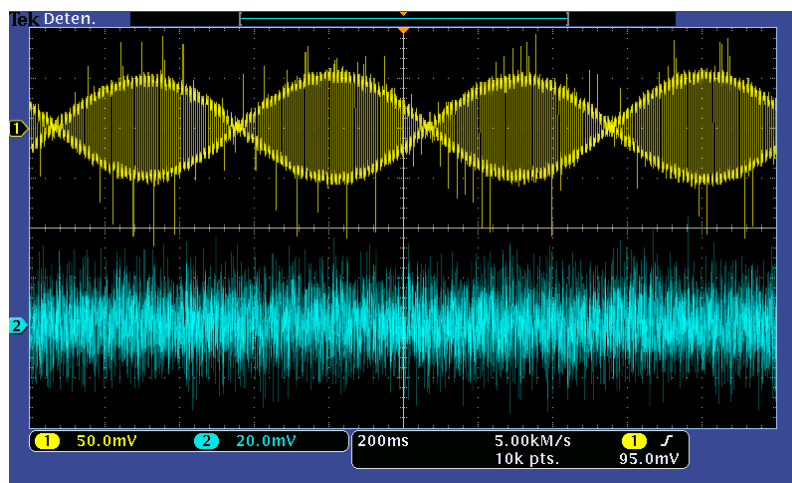


Figura 12. Canal 1: trazo amarillo, señal modulada sin atenuación; canal 2, trazo azul: señal modulada con atenuación y contaminada con ruido.

Como se aprecia, no se distingue la modulación del ruido, lo cual es de esperarse debido a que después de la atenuación la amplitud pasó de 50 mV a 500 μ V. Por otra parte, el ruido obtenido en

la imagen es menor que el producido por el generador de funciones. Esto se debe al ancho de banda del amplificador operacional que se usó para sumar el ruido. El OPAM empleado fue el LF411 el cual presenta un ancho de banda mínimo de 3 MHz . En la figura 13 se compara el ruido del generador de funciones y el que se obtiene después de sumarlo a la señal de interés. Las escalas de amplitud de ambos canales son de 20 mV por cuadro.

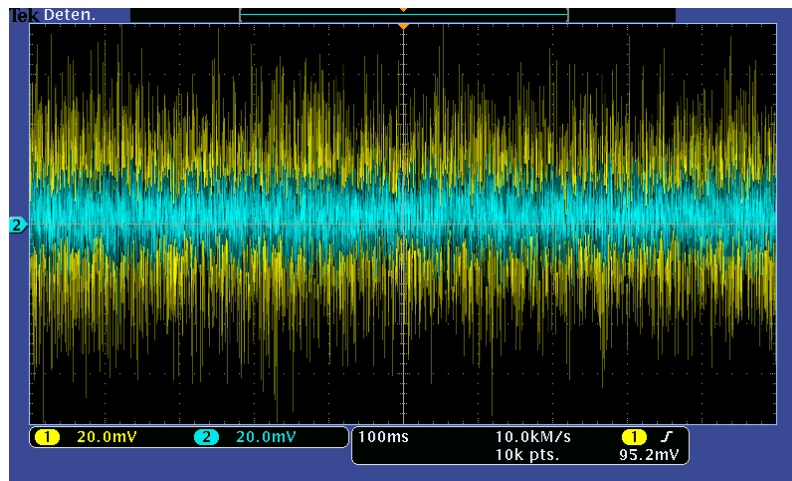


Figura 13. Canal 1: trazo amarillo, señal de ruido que produce el generador; canal 2, trazo azul: señal de ruido después de ser agregada a la señal atenuada de la modulación.

En la figura 14 se compara la señal que aplica en la entrada de amplificador Lock-in y la que se obtiene en su salida. En el oscilograma, con una escala de voltaje de 20 mV por cuadro, el ruido alcanza valores de alrededor de 40 mV . La señal en el canal 2, con una escala de 50 mV por cuadro, corresponde con la salida del amplificador Lock-in. Esta señal tiene una frecuencia de 1 Hz con una amplitud de 50 mV , que se debe a una amplificación de 40 dB .

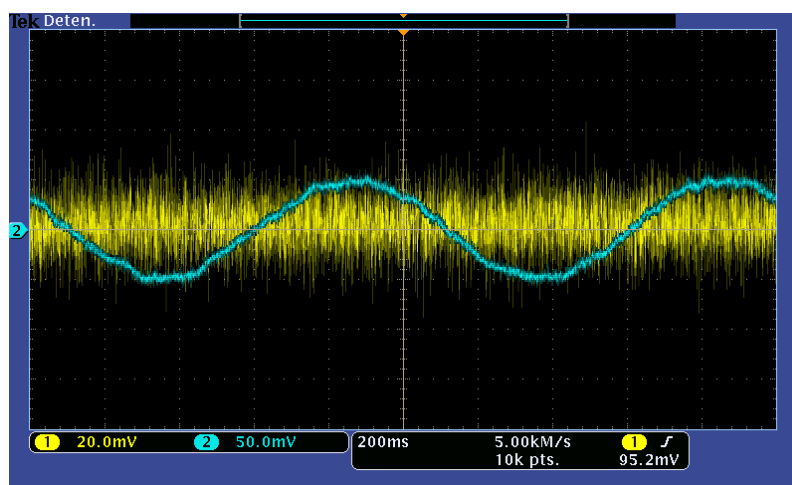


Figura 14. Canal 1: Señal de entrada al amplificador Lock-in; canal 2, trazo azul: señal de salida del amplificador Lock-in.

Por último, en la figura 15 se compara la señal original del generador de funciones y la que se obtuvo por el amplificador Lock-in. Claramente se aprecia la similitud que guardan ambas señales tanto en amplitud como en frecuencia.

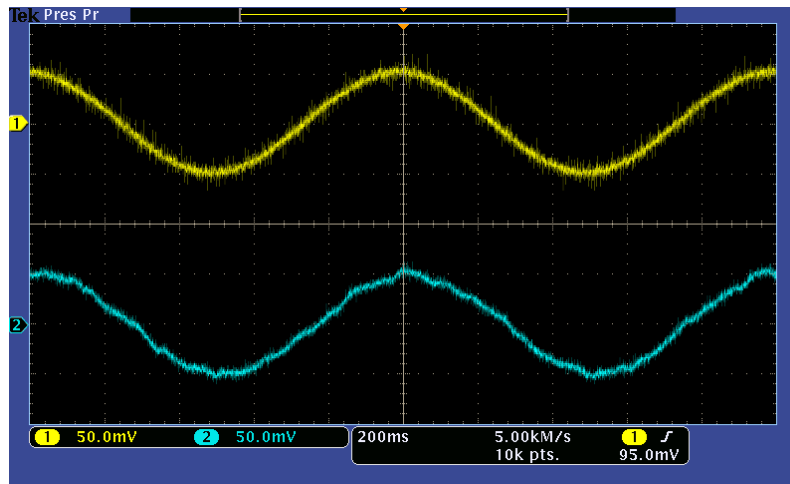


Figura 15. Canal 1: Señal del generador de funciones; canal 2, trazo azul: señal recuperada y amplificada 40 dB por el Lock-in.

Conclusiones

En este trabajo se presentó, el principio de funcionamiento de un amplificador Lock-in. Se analizaron las etapas más importantes del amplificador y se ofreció información para su diseño. Entre los temas más importantes que se trataron se consideró el principio de operación del mezclador conmutado de señales, así como los puntos que se deben tomar en cuenta para el diseño del filtro de salida, a partir de un arreglo simple de filtros activos de primer orden. También se trató la implementación del circuito de ajuste de fase, y el uso del circuito PLL para asegurar la sincronía de las señales de entrada y referencia, haciendo énfasis que otra posibilidad puede ser el uso de comparadores con histéresis.

Para demostrar la efectividad del circuito, una señal senoidal se moduló y se atenuó 40 dB, para después contaminarla con ruido. La relación señal a ruido obtenida fue de -38 dB, es decir que el ruido tenía una amplitud de 80 veces mayor que la señal atenuada. La señal que se esperaba recuperar fue de $500\mu V$ con una frecuencia de 1 Hz, pero debido a que ésta era muy pequeña, la ganancia del Lock-in se ajustó a 40 dB y de esta forma, la señal obtenida al final, coincidió con la señal original del generador de funciones

Los resultados que se derivan del ejemplo de diseño permitieron validar el desempeño del amplificador Lock-in, aun y cuando el circuito se armó en una tarjeta prototipo, que como se indicó, fue parte de los objetivos que se plantearon al inicio del documento, sin embargo, cabe mencionar que en la implementación se resalta un armado limpio y ordenado. La efectividad del amplificador Lock-in se demostró a partir de oscilogramas en donde se observa la señal antes y después de ser

contaminada con una señal de ruido, así como la señal que se recuperó después de haber sido procesada por el amplificador Lock-in.

Por otra parte, aun y cuando el circuito se armó en las condiciones mencionadas, lo cierto es que la mejor implementación es a través de un circuito impreso que incluya un área de tierra apropiada cuando el impreso es de una capa, o con un plano de tierra cuando el impreso es de varias capas. Un blindaje del circuito, así como de sus terminales de entrada y salida también es recomendable.



Balanced Modulator/Demodulator

Data Sheet

AD630

FEATURES

Recovers signal from 100 dB noise
 2 MHz channel bandwidth
 45 V/ μ s slew rate
 Low crosstalk: -120 dB at 1 kHz, -100 dB at 10 kHz
 Pin programmable, closed-loop gains of ± 1 and ± 2
 0.05% closed-loop gain accuracy and match
 100 μ V channel offset voltage (AD630)
 350 kHz full power bandwidth
 Chips available

APPLICATIONS

Balanced modulation and demodulation
 Synchronous detection
 Phase detection
 Quadrature detection
 Phase sensitive detection
 Lock in amplification
 Square wave multiplication

GENERAL DESCRIPTION

The AD630 is a high precision balanced modulator/demodulator that combines a flexible commutating architecture with the accuracy and temperature stability afforded by laser wafer trimmed thin film resistors. A network of on-board applications resistors provides precision closed-loop gains of ± 1 and ± 2 with 0.05% accuracy (AD630B). These resistors may also be used to accurately configure multiplexer gains of 1, 2, 3, or 4. External feedback enables high gain or complex switched feedback topologies.

The AD630 can be thought of as a precision op amp with two independent differential input stages and a precision comparator that is used to select the active front end. The rapid response time of this comparator coupled with the high slew rate and fast settling of the linear amplifiers minimize switching distortion.

The AD630 is used in precision signal processing and instrumentation applications that require wide dynamic range. When used as a synchronous demodulator in a lock-in amplifier configuration, the AD630 can recover a small signal from 100 dB of interfering noise (see the Lock-In Amplifier Applications section). Although optimized for operation up to 1 kHz, the circuit is useful at frequencies up to several hundred kilohertz.

FUNCTIONAL BLOCK DIAGRAM

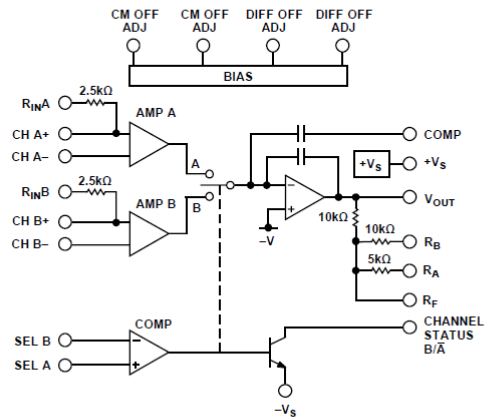


Figure 1.

Other features of the AD630 include pin programmable frequency compensation; optional input bias current compensation resistors, common-mode and differential-offset voltage adjustment, and a channel status output that indicates which of the two differential inputs is active.

PRODUCT HIGHLIGHTS

1. The application flexibility of the AD630 makes it the best choice for applications that require precisely fixed gain, switched gain, multiplexing, integrating-switching functions, and high speed precision amplification.
2. The 100 dB dynamic range of the AD630 exceeds that of any hybrid or IC balanced modulator/demodulator and is comparable to that of costly signal processing instruments.
3. The op amp format of the AD630 ensures easy implementation of high gain or complex switched feedback functions. The application resistors facilitate the implementation of most common applications with no additional parts.
4. The AD630 can be used as a 2-channel multiplexer with gains of 1, 2, 3, or 4. The channel separation of 100 dB at 10 kHz approaches the limit achievable with an empty IC package. Laser trimming of the comparator and amplifying channel offsets eliminate the need for external nulling in most cases.

Rev. G

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2015–2016 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com

CD4046BC

Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin C1_A, C1_B, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 μW (typ.) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency: 1.3 MHz (typ.) at V_{DD} = 10V
- Low frequency drift: 0.06%/°C at V_{DD} = 10V with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Ordering Code:

Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

LF411 Low Offset, Low Drift JFET Input Operational Amplifier

General Description

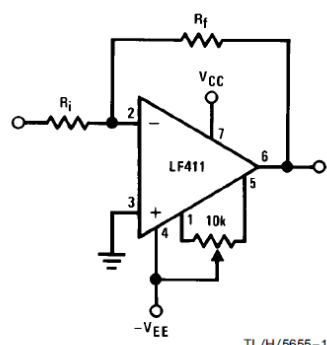
These devices are low cost, high speed, JFET input operational amplifiers with very low input offset voltage and guaranteed input offset voltage drift. They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF411 is pin compatible with the standard LM741 allowing designers to immediately upgrade the overall performance of existing designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage and drift, low input bias current, high input impedance, high slew rate and wide bandwidth.

Features

■ Internally trimmed offset voltage	0.5 mV(max)
■ Input offset voltage drift	10 $\mu\text{V}/^{\circ}\text{C}(\text{max})$
■ Low input bias current	50 pA
■ Low input noise current	0.01 pA/ $\sqrt{\text{Hz}}$
■ Wide gain bandwidth	3 MHz(min)
■ High slew rate	10V/ $\mu\text{s}(\text{min})$
■ Low supply current	1.8 mA
■ High input impedance	10 ¹² Ω
■ Low total harmonic distortion $A_V = 10$, $R_L = 10\text{k}$, $V_O = 20\text{ Vp-p}$, $\text{BW} = 20\text{ Hz} - 20\text{ kHz}$	< 0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



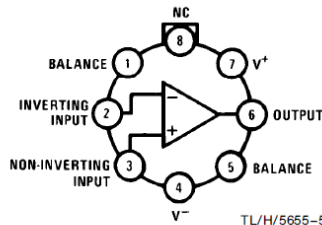
Ordering Information

LF411XYZ

- X indicates electrical grade
- Y indicates temperature range
- "M" for military
- "C" for commercial
- Z indicates package type
- "H" or "N"

Connection Diagrams

Metal Can Package



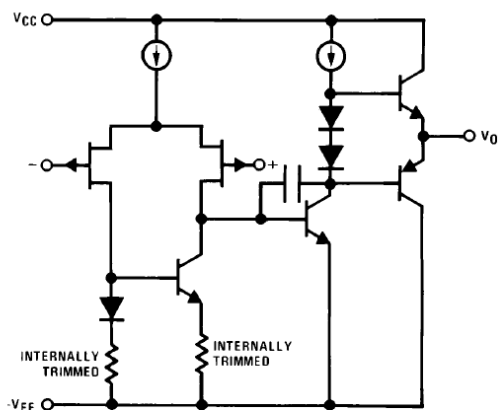
Top View

Note: Pin 4 connected to case.

Order Number LF411ACH
or LF411MH/883*

See NS Package Number H08A

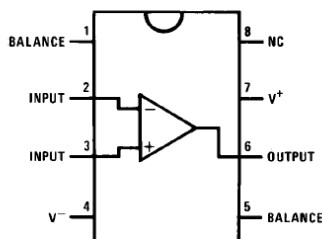
Simplified Schematic



BI-FET II™ is a trademark of National Semiconductor Corporation.

TL/H/5655-6

Dual-In-Line Package



Top View

Order Number LF411ACN,
LF411CN or LF411MJ/883*

See NS Package Number
N08E or J08A

*Available per JM38510/11904



Burr-Brown Products
from Texas Instruments



OPA27
OPA37

SBOS135B – JANUARY 1984 – REVISED FEBRUARY 2005

Ultra-Low Noise, Precision OPERATIONAL AMPLIFIERS

FEATURES

- **LOW NOISE:** $4.5\text{nV}/\sqrt{\text{Hz}}$ max at 1kHz
- **LOW OFFSET:** $100\mu\text{V}$ max
- **LOW DRIFT:** $0.4\mu\text{V}/^\circ\text{C}$
- **HIGH OPEN-LOOP GAIN:** 117dB min
- **HIGH COMMON-MODE REJECTION:** 100dB min
- **HIGH POWER-SUPPLY REJECTION:** 94dB min
- **FITS OP-07, OP-05, AD510, AND AD517 SOCKETS**

APPLICATIONS

- **PRECISION INSTRUMENTATION**
- **DATA ACQUISITION**
- **TEST EQUIPMENT**
- **PROFESSIONAL AUDIO EQUIPMENT**
- **TRANSDUCER AMPLIFIERS**
- **RADIATION HARD EQUIPMENT**

DESCRIPTION

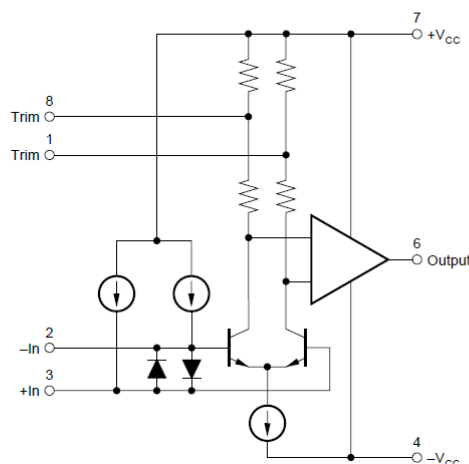
The OPA27 and OPA37 are ultra-low noise, high-precision monolithic operational amplifiers.

Laser-trimmed thin-film resistors provide excellent long-term voltage offset stability and allow superior voltage offset compared to common zener-zap techniques.

A unique bias current cancellation circuit allows bias and offset current specifications to be met over the full -55°C to $+125^\circ\text{C}$ temperature range.

The OPA27 is internally compensated for unity-gain stability. The decompensated OPA37 requires a closed-loop gain ≥ 5 .

The Texas Instrument OPA27 and OPA37 are improved replacements for the industry-standard OP-27 and OP-37.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

All trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**
www.ti.com

Copyright © 1984-2005, Texas Instruments Incorporated

Referencias

Bengtsson L. E., (2012) **A microcontroller-based lock-in amplifier for sub-milliohm resistance measurements.** Review of Scientific Instruments Volume 83, Issue 7.

Best R. E., (2003) **Phase-Locked loops**, 5th edition, USA, McGraw Hill Professional Engineering.

Bhagyajyoti I. J., Sudheer L. S., Bhaskar P., Parvathi C. S. (2012) **Review on Lock-in Amplifier.** International Journal of Science, Engineering and Technology Research (IJSETR) Volume 1, Issue 5, pp. 40 45.

Castillo J., (2008) **Diseño de un driver APC de frecuencia constante para diodos láser**, Veracruz, México, Congreso de Instrumentación SOMI XXIII, Sociedad Mexicana de Instrumentación del 01 al 3 de octubre, JCHXXIII270.

Castillo J., (2009) **Análisis de un amplificador lock-in**, Yucatán, México, Congreso de Instrumentación SOMI XXIV del 14 al 16 de octubre, Sociedad Mexicana de Instrumentación. JCHXXIV140.

De Marcellis A., Ferri G., Patrizi M., Stornelli V., D'Amico A., Di Natale C., Martinelli E., Alimelli A., Paolesse R... (2007) **An integrated analog lock-in amplifier for low-voltage low-frequency sensor interface.** IWASI 2007, 2nd International Workshop on Advances in Sensors and Interface.

Dorrington A. and Kunнемeyer R., (2002) **A simple microcontroller based digital lock-in amplifier for the detection of low-level optical signals.** Proceedings First IEEE International Workshop on Electronic Design, Test and Applications 2002, Christchurch, New Zealand, pp. 486-488.

Franco S., (2015) **Design with operational amplifiers and analog integrated circuits.** 4th edition, New York, USA, McGraw-Hill Series in Electrical and Computer Engineering.

Gabal M., Medrano N., Calvo B., Martínez P. A., Celma S., Valero M. R., (2010) **A complete low voltage analog lock-in amplifier to recover sensor signals buried in noise for embedded applications.** Elsevier, Procedia Engineering 5 pp. 74–77.

Hofmann M., Bierl R. and Rueck T., (2012) **Implementation of a dual-phase lock-in amplifier on a TMS320C5515 digital signal processor.** 5th European DSP Education and Research Conference (EDERC), Amsterdam, pp. 20-24.

Horowitz P. and Winfield H., (2015) **The Art of Electronics**, 3th edition, USA, Cambridge University Press.

Libbrecht K. G., Black E. D., and Hirata C. M., (2003) **A basic lock-in amplifier experiment for the undergraduate laboratory**. American Journal of Physics, Volume 71, Issue 11, pp. 1208-1213.

Liu Y. L. and Zhang R., (2012) **AD630 Lock-In Amplifier Circuit for Weak Signal**. Advanced Materials Research, Vols. 482-484, pp. 975-980, 2012.

Mancini R., (2002) **Op Amps For Everyone** [Internet], Texas Instrument Incorporated, Disponible desde: <http://web.mit.edu/6.101/www/reference/op_amps_everyone.pdf> [Acceso 10 de febrero de 2019].

Munroe D. M., (1975) **A Lock-in Premier** [Internet], USA, Princeton Applied Research Corporation, Disponible desde: <<https://cpm.uncc.edu/sites/cpm.uncc.edu/files/media/lia-primer.pdf>> [Acceso 10 de febrero de 2019]

PerkinElmer, (2000) **TN 1002 The Analog Lock-in Amplifier** [Internet], USA, PerkinElmer Instruments. Disponible desde: <<https://cpm.uncc.edu/sites/cpm.uncc.edu/files/media/tn1002.pdf>> [Acceso 10 de febrero de 2019]

Scofield J. H., (1994) **Frequency-domain description of a lock-in amplifier**. American Journal of Physics Volume 62, Issue 2, pp. 129-133.

Zurich Instrument, (2016) **White Paper: Principles of lock-in detection and the state of the art** [Internet], Zurich Instrument, Disponible desde: <<https://www.zhinst.com>> [Acceso 10 de febrero 2018]